具有全差分 ADC 输入驱动器的 ADS912x 16 位 20MSPS SAR ADC

1 特性

- 高速和低功耗：
  - ADS9129：20MSPS、274mW
  - ADS9128：10MSPS、83mW
  - ADS9127：5MSPS、59mW
- 特性集成：
  - 集成式 ADC 驱动器
  - 集成式精密基准
  - 共模电压输出缓冲器
- 高性能：
  - 16 位，无丢码
  - INL：±0.3LSB，DNL：±0.3LSB
  - SNR：93.9dB
- 宽输入带宽：
  - ADS9129 和 ADS9128：90MHz (-3dB)
  - ADS9127：45MHz (-3dB)
- 串行 LVDS 接口：
  - SDR 和 DDR 输出模式
  - 同步时钟和数据输出
- 更宽的工作温度范围：-40°C 至 +125°C

2 应用

- 功率分析仪
- 源测量单元 (SMU)
- 船用设备
- 伺服驱动器位置反馈
- 直流电源、交流电源、电子负载

3 说明

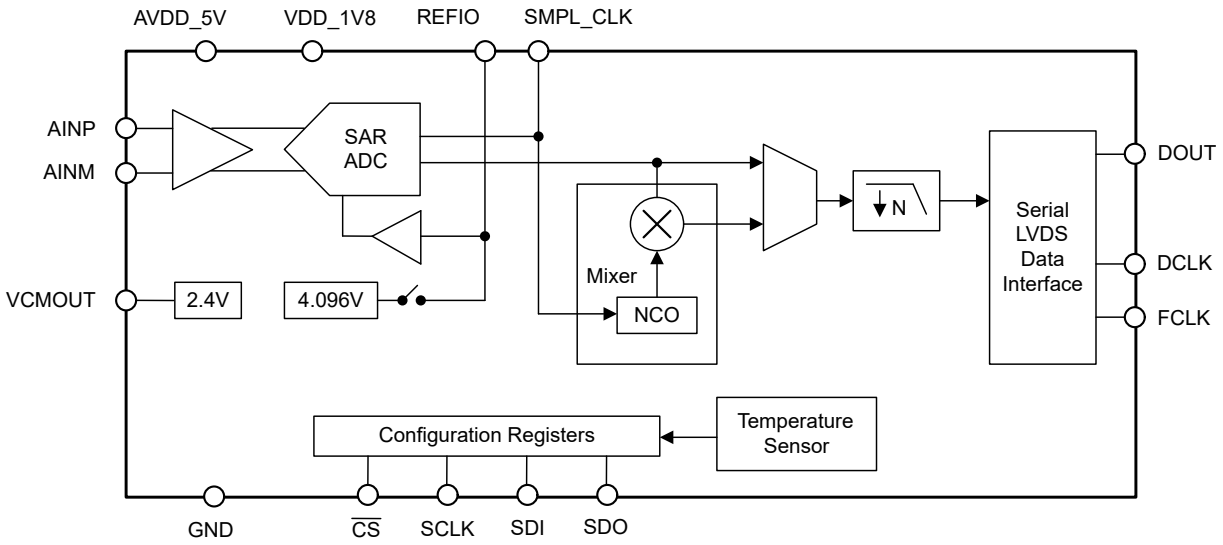
ADS912x 是一个带有集成驱动器的 16 位、高速模数转换器 (ADC) 系列，适用于 ADC 输入。集成的 ADC 驱动器可简化信号链，降低精密应用的功耗，并支持超出 1MHz 的高频信号。集成式 ADC 基准缓冲器无需外部去耦电容器，优化后适用于宽带宽应用。

ADS912x 使用串行 LVDS (SLVDS) 数据接口，可实现高速数字通信，同时更大限度地降低数字开关噪声。可以使用每个 ADC 通道单独一个 SLVDS 输出或两个 ADC 通道一个 SLVDS 输出来读取 ADC 数据。

封装信息

器件型号	封装(1)	封装尺寸(2)
ADS9129、ADS9128、ADS9127	RHA（VQFN，40）	6mm × 6mm

(1) 如需更多信息，请参阅*机械、封装和可订购信息*。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



器件方框图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 时序要求.....9
5.7 开关特性.....10
5.8 时序图.....11
5.9 典型特性：所有器件.....13
5.10 典型特性：ADS9129.....15
5.11 典型特性：ADS9128.....16
5.12 典型特性：ADS9127.....17
6 详细说明.....18
6.1 概述.....18
6.2 功能方框图.....18
6.3 特性说明.....19
6.4 器件功能模式.....27
6.5 编程.....28
7 寄存器映射.....32
7.1 寄存器组 0.....32
7.2 寄存器组 1.....35
7.3 寄存器组 2.....49
8 应用和实施.....50
8.1 应用信息.....50
8.2 典型应用.....50
8.3 电源相关建议.....54
8.4 布局.....55
9 器件和文档支持.....56
9.1 文档支持.....56
9.2 接收文档更新通知.....56
9.3 支持资源.....56
9.4 商标.....56
9.5 静电放电警告.....56
9.6 术语表.....56
10 修订历史记录.....56
11 机械、封装和可订购信息.....56
11.1 机械数据.....57

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

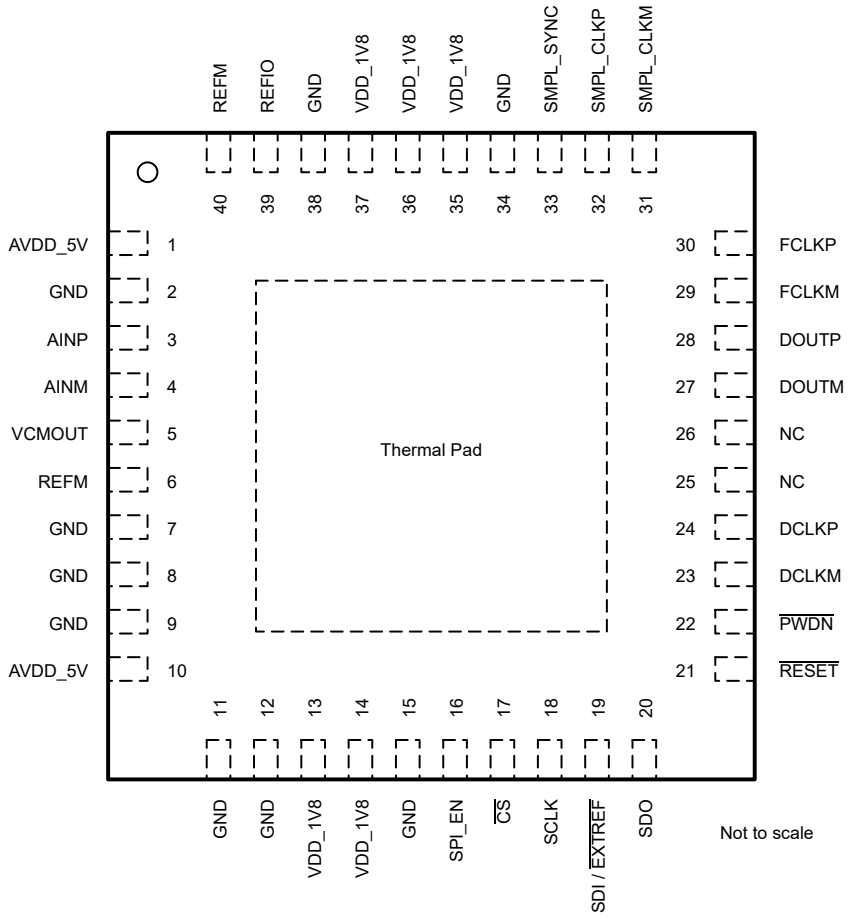


图 4-1. RHA 封装，6mm × 6mm，40 引脚 VQFN（顶视图）

引脚功能

引脚		类型(1)	说明
名称	编号		
AINM	4	I	ADC 的负模拟输入。
AINP	3	I	ADC 的正模拟输入。
AVDD_5V	1、10	P	5V 模拟电源引脚。
$\overline{CS}$	17	I	接口配置的片选输入；低电平有效。
DCLKM	23	O	负差分数据时钟输出。在 DCLKP 和 DCLKM 之间靠近接收器的位置连接一个 100Ω 电阻器。

Copyright © 2025 Texas Instruments Incorporated

引脚功能（续）

引脚		类型(1)	说明
名称	编号		
DCLKP	24	O	正差分数据时钟输出。在 DCLKP 和 DCLKM 之间靠近接收器的位置连接一个 100Ω 电阻器。
DOUTM	27	O	负差分数据输出。在 DOUTP 和 DOUTM 之间靠近接收器的位置连接一个 100Ω 电阻器。
DOUTP	28	O	正差分数据输出。在 DOUTP 和 DOUTM 之间靠近接收器的位置连接一个 100Ω 电阻器。
FCLKM	29	O	负差分数据帧时钟输出。在 FCLKP 和 FCLKM 之间靠近接收器的位置连接一个 100Ω 电阻器。
FCLKP	30	O	正差分数据帧时钟输出。在 FCLKP 和 FCLKM 之间靠近接收器的位置连接一个 100Ω 电阻器。
GND	2、7、8、9、11、12、15、34、38	P	地。
NC	25、26	–	无外部连接。保持悬空。
$\overline{\text{PWDN}}$	22	I	断电控制；低电平有效。如果未使用，则连接到 VDD_1V8。
REFIO	39	I/O	内部基准电压输出。外部基准电压输入。将 10μF 去耦电容器连接到 REFM。
REFM	6、40	P	基准接地。连接至 GND。
$\overline{\text{RESET}}$	21	I	复位输入；低电平有效。如果未使用，则连接到 VDD_1V8。
SCLK	18	I	接口配置的串行时钟输入。
SDI/$\overline{\text{EXTREF}}$	19	I	SDI 是一个多功能逻辑输入；引脚功能由 SPI_EN 引脚决定。SDI 具有一个连接至 GND 的内部 100kΩ 下拉电阻。SPI_EN = 0b：SDI 是在内部或外部基准之间进行选择的逻辑输入。将 SDI 连接到 GND 以提供外部基准。将 SDI 连接到 IOVDD 以提供内部基准。SPI_EN = 1b：接口配置的串行数据输入。
SDO	20	O	配置接口的串行数据输出。
SMPL_CLKM	31	I	ADC 采样时钟输入。LVDS 采样时钟的负差分输入。针对 CMOS 采样时钟，将此引脚连接至 GND。
SMPL_CLKP	32	I	ADC 采样时钟输入。LVDS 采样时钟的正差分输入。CMOS 采样时钟的时钟输入。
SMPL_SYNC	33	I	内部均值滤波器的同步输入。 如果未使用则连接至 GND。有关如何使用 SMPL_SYNC 引脚的信息，请参阅*同步多个 ADC* 部分。
SPI_EN	16	I	启用 SPI 配置的控制引脚；高电平有效。 将上拉电阻器连接到 VDD_1V8 以保持配置接口启用。如果未使用 SPI 配置，则连接至 GND。
散热焊盘	—	P	外露散热焊盘连接至 GND。
VCMOUT	5	O	共模电压输出。使用 VCMOUT 设置 ADC 输入端的共模电压。将 1μF 去耦电容器连接到 GND。
VDD_1V8	13、14、35、36、37	P	1.8V 电源。将 1μF 和 0.1μF 去耦电容器连接到 GND。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
VDD_1V8 至 GND	-0.3	2.1	V
AVDD_5V 至 GND	-0.3	5.5	V
AINP 和 AINM 至 GND	-0.3	AVDD_5V + 0.3	V
REFIO 至 REFM	REFM – 0.3	AVDD_5V + 0.3	V
数字输入至 GND	-0.3	VDD_1V8 + 0.3	V
REFM 至 GND	-0.3	0.3	V
输入电流到电源引脚外的任意引脚(2)	-10	10	mA
结温，T_J	-40	150	°C
贮存温度，T_{stg}	-60	150	°C

(1) 在 *绝对最大额定值* 范围外运行可能会对器件造成永久损坏。*绝对最大额定值* 并不表示器件能够在该等条件下或在任何超出*建议运行条件* 的其他条件下正常运行。如果在 *建议运行条件* 以外，但在 *绝对最大额定值* 范围以内使用，器件可能无法完全正常运行，这可能会影响器件的可靠性、功能与性能，并且可能缩短器件寿命。
(2) 必须将引脚电流限制在 10mA 或以下。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，模拟输入引脚 AINP 和 AINM(1)	±2000	V
		人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，其他所有引脚(1)	±1000	
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源						
AVDD_5V	模拟电源 AVDD_5V 至 GND	ADS9127	4.5	5	5.5	V
		ADS9128、ADS9129	4.75	5	5.25	
VDD_1V8	电源	VDD_1V8 至 GND	1.75	1.8	1.85	V
基准电压						
V_{REF}	基准电压至 ADC	外部基准	4.076	4.096	4.116	V
模拟输入						
V_{IN}	绝对输入电压	AINP 和 AINM 至 GND	V_{CM} – 1.6		V_{CM} + 1.6	V
FSR	满标量程输入范围	AINP – AINM	-3.2		3.2	V
V_{CM}	共模输入范围(1)	(AINP + AINM) / 2	V_{CMOUT} – 0.07		V_{CMOUT} + 0.07	V
温度范围						
T_A	环境温度		-40	25	125	°C

(1) 如果输入共模电压超过规格，则 ADC 通道断电。

5.4 热性能信息

热指标(1)		ADS912x RHA (VQFN) 40 引脚	单位
$R_{\theta JA}$	结至环境热阻	25.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	13.3	°C/W
$R_{\theta JB}$	结至电路板热阻	7.5	°C/W
Ψ_{JT}	结至顶部特征参数	0.1	°C/W
Ψ_{JB}	结至电路板特征参数	7.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

对于 ADS9129 和 ADS9128，AVDD_5V = 4.75V 至 5.25V，对于 ADS9127，AVDD_5V = 4.5V 至 5.5V，VDD_1V8 = 1.75V 至 1.85V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = 25°C 时的典型值。

参数		测试条件	最小值	典型值	最大值	单位
模拟输入						
I_B	输入偏置电流			0.1		nA
	输入偏置电流热漂移	T_A = 0°C 至 70°C		0.02		nA/℃
		T_A = -40°C 至 125°C		0.1		
直流性能						
	分辨率	无丢码		16		位
DNL	微分非线性		-0.9	±0.3	0.9	LSB
INL	积分非线性	T_A = °C 至 70°C，所有器件	-0.4	±0.3	0.4	LSB
		ADS9128、ADS9127	-0.75	±0.3	0.75	
		ADS9129	-1	±0.3	1	
$V_{(OS)}$	输入失调电压误差			±10		LSB
dV_{OS}/dT	输入偏移误差热漂移			0.25	1	ppm/°C
G_E	增益误差(1)		-0.05	±0.01	0.05	%FSR
dG_E/dT	增益误差热漂移(1)			0.5	2	ppm/°C
交流性能						
SINAD	信噪比+失真比	f_{IN} = 2kHz	92	93.8		dB
		f_{IN} = 1MHz		92.9		
SNR	信噪比	f_{IN} = 2kHz	92.3	93.9		dBFS
		f_{IN} = 1MHz		93.3		
THD	总谐波失真	f_{IN} = 2kHz		-120		dB
		f_{IN} = 1MHz		-104		
SFDR	无杂散动态范围	f_{IN} = 2kHz		120		dB
		f_{IN} = 1MHz		104		
	隔离串扰	f_{IN} = 2kHz		120		dB
采样动态						
	孔径抖动	SMPL_CLKP 上的单端 CMOS 时钟		0.3		ps_{RMS}
		差分 LVDS 采样时钟		0.8		
BW	输入带宽	ADS9129、ADS9128		90		MHz
		ADS9127		45		
内部基准						
V_{REF} (2)	REFIO 引脚上的电压（配置为输出）	REFIO 引脚上的 1 µF 电容器，T_A = 25°C	4.092	4.096	4.1	V
	基准温漂			6	20	ppm/°C
共模输出缓冲器						
V_{CMOUT}	共模输出电压	ADS9129	2.2	2.460	2.65	V
		ADS9128	2.2	2.410	2.65	
		ADS9127	2.2	2.385	2.65	
	输出电流驱动		0		5	µA
LVDS 接收器 (SMPL_CLK)						
V_{TH}	高电平输入电压 (P – M)	交流耦合	100			mV
		直流耦合	300			

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

对于 ADS9129 和 ADS9128，AVDD_5V = 4.75V 至 5.25V，对于 ADS9127，AVDD_5V = 4.5V 至 5.5V，VDD_1V8 = 1.75V 至 1.85V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = 25°C 时的典型值。

参数		测试条件	最小值	典型值	最大值	单位
V_{TL}	低电平输入电压 (P – M)	交流耦合			-100	mV
		直流耦合			-300	
V_{ICM}	输入共模电压		0.5	1.2	1.4	V
LVDS 输出（CLKOUT 和 DOUT）						
V_{ODIFF}	差分输出电压	R_L = 100Ω	200	350	500	mV
V_{OCM}	输出共模电压	R_L = 100Ω	0.88	1.1	1.32	V
CMOS 输入（$\overline{CS}$、SCLK 和 SDI）						
V_{IL}	输入低逻辑电平		-0.1		0.5	V
V_{IH}	输入高逻辑电平		1.3		VDD_1V8	V
CMOS 输出 (SDO)						
V_{OL}	输出低逻辑电平	I_{OL} = 200µA 灌电流	0		0.4	V
V_{OH}	输出高逻辑电平	I_{OH} = 200µA 拉电流	1.4		VDD_1V8	V
电源						
I_{AVDD_5V}	来自 AVDD_5V 的电源电流	吞吐量为 20MSPS (ADS9129)		31	34	mA
		吞吐量为 10MSPS (ADS9128)		17	21	
		吞吐量为 5MSPS (ADS9127)		10	13	
		断电			2	
I_{VDD_1V8}	来自 VDD_1V8 的电源电流	吞吐量为 20MSPS (ADS9129)		66	69	mA
I_{VDD_1V8}	来自 VDD_1V8 的电源电流	吞吐量为 10MSPS (ADS9128)		45	47	
		吞吐量为 5MSPS (ADS9127)		37.5	41	
		断电			2	

(1) 这些规格包括整个温度范围变化，但不包括内部基准产生的误差。
(2) 不包括由焊接漂移效应引起的电压变化。

Copyright © 2025 Texas Instruments Incorporated

5.6 时序要求

对于 ADS9129 和 ADS9128，AVDD_5V = 4.75V 至 5.25V，对于 ADS9127，AVDD_5V = 4.5V 至 5.5V，VDD_1V8 = 1.75V 至 1.85V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = 25°C 时的典型值

			最小值	最大值	单位
转换周期					
f_{CYCLE}	采样频率	ADS9129	7	20	MHz
		ADS9128	3.9	10	
		ADS9127	3.9	5	
t_{CYCLE}	ADC 周期时长		1 / f_{CYCLE}		s
$t_{PL_SMPLCLK}$	采样时钟低电平时间		0.4	0.6	t_{CYCLE}
$t_{PH_SMPLCLK}$	采样时钟高电平时间		0.4	0.6	t_{CYCLE}
f_{CLK}	最大 SCLK 频率			10	MHz
t_{CLK}	最小 SCLK 时间周期		100		ns
SPI 时序					
t_{hi_CSZ}	脉冲持续时间：$\overline{CS}$ 高电平		220		ns
t_{PH_CK}	SCLK 高电平时间		0.48	0.52	t_{CLK}
t_{PL_CK}	SCLK 低电平时间		0.48	0.52	t_{CLK}
t_{d_CSCK}	建立时间：$\overline{CS}$ 下降至第一个 SCLK 上升沿		20		ns
t_{su_CKDI}	建立时间：SDI 数据对相应的 SCLK 上升沿有效		10		ns
t_{ht_CKDI}	保持时间：SCLK 上升沿到 SDI 上的相应数据有效		5		ns
t_{d_CKCS}	延迟时间：最后一个 SCLK 下降沿到 $\overline{CS}$ 上升沿		5		ns

Copyright © 2025 Texas Instruments Incorporated

5.7 开关特性

对于 ADS9129 和 ADS9128，AVDD_5V = 4.75V 至 5.25V，对于 ADS9127，AVDD_5V = 4.5V 至 5.5V，VDD_1V8 = 1.75V 至 1.85V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）；T_A = –40°C 至 +125°C 时的最小值和最大值；T_A = 25°C 时的典型值

参数		测试条件	最小值	最大值	单位
复位					
t_{PU}	器件上电时间			25	ms
LVDS 数据接口					
t_{RT}	上升时间	使用长度为 20mm 的 50Ω 传输线，差分 R_L = 100Ω，C_L = 1pF		600	ps
t_{FT}	下降时间			600	ps
t_{CYCLE}	采样时钟周期	ADS9129	50		ns
		ADS9128	100		
		ADS9127	200		
t_{DCLK}	时钟输出		4.167		ns
	时钟占空比		45	55	%
t_{d_DCLKDO}	延时时间：DCLKP 上升到相应数据有效	SDR 模式	-0.35	0.35	ns
$t_{off_DCLKDO_r}$	时间偏移：DCLKP 上升到相应数据有效	DDR 模式	t_{DCLK} / 4 – 0.35	t_{DCLK} / 4 + 0.35	ns
$t_{off_DCLKDO_f}$	时间偏移：DCLKP 下降至相应数据有效	DDR 模式	t_{DCLK} / 4 – 0.35	t_{DCLK} / 4 + 0.35	ns
t_{PD}	延时时间：SMPL_CLK 下降至 DCLKP 上升			t_{DCLK}	ns
$t_{PU_SMPL_CLK}$	延时时间：连接到 SMPL_CLK 的自由运行时钟到 ADC 数据有效			100	µs
t_{LAT} (1)	延时时间：数据输出的 MSB 的内部数字延迟		3	12	ns
SPI 时序					
t_{den_CKDO}	延时时间：第 8 个 SCLK 上升沿至 SDO 使能			30	ns
t_{dz_CKDO}	延时时间：第 24 个 SCLK 上升沿至 SDO 进入高阻态			30	ns
t_{d_CKDO}	延时时间：SCLK 启动沿到 SDO 上的相应数据有效			30	ns
t_{ht_CKDO}	保持时间：SCLK 启动沿到 SDO 上的前一个数据有效		2		ns

(1) 有关数据输出延迟的更多详细信息，请参阅有关 *ADC 采样时钟输入* 的部分。

Copyright © 2025 Texas Instruments Incorporated

5.8 时序图

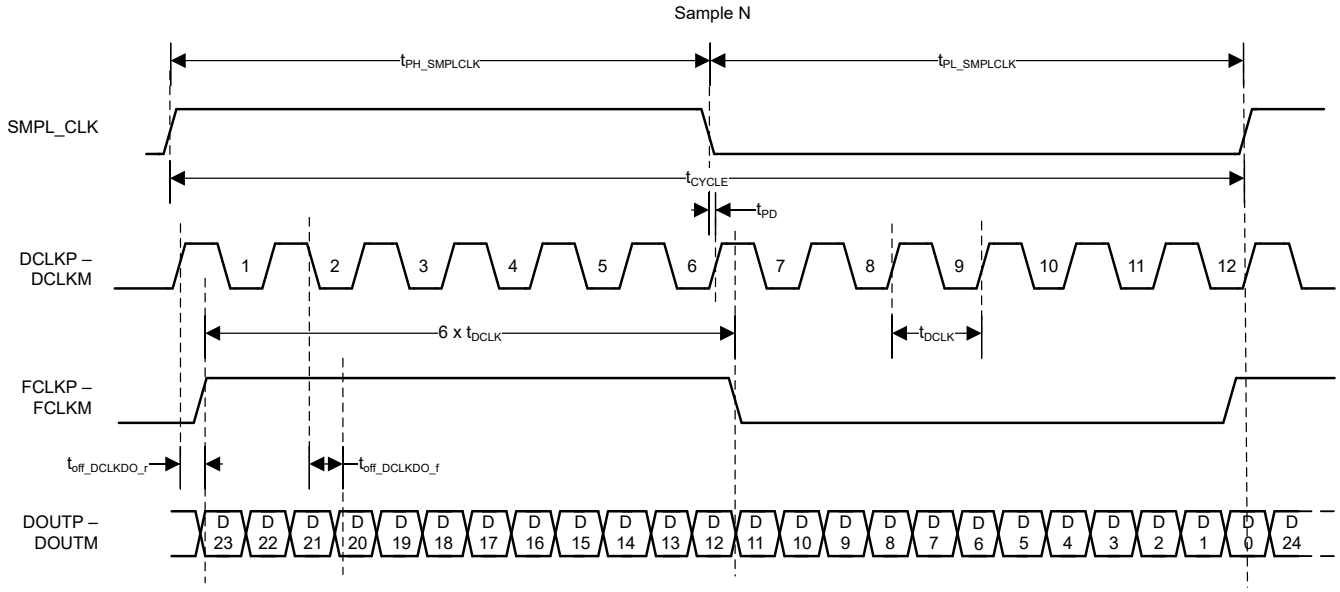


图 5-1. LVDS 数据接口：DDR

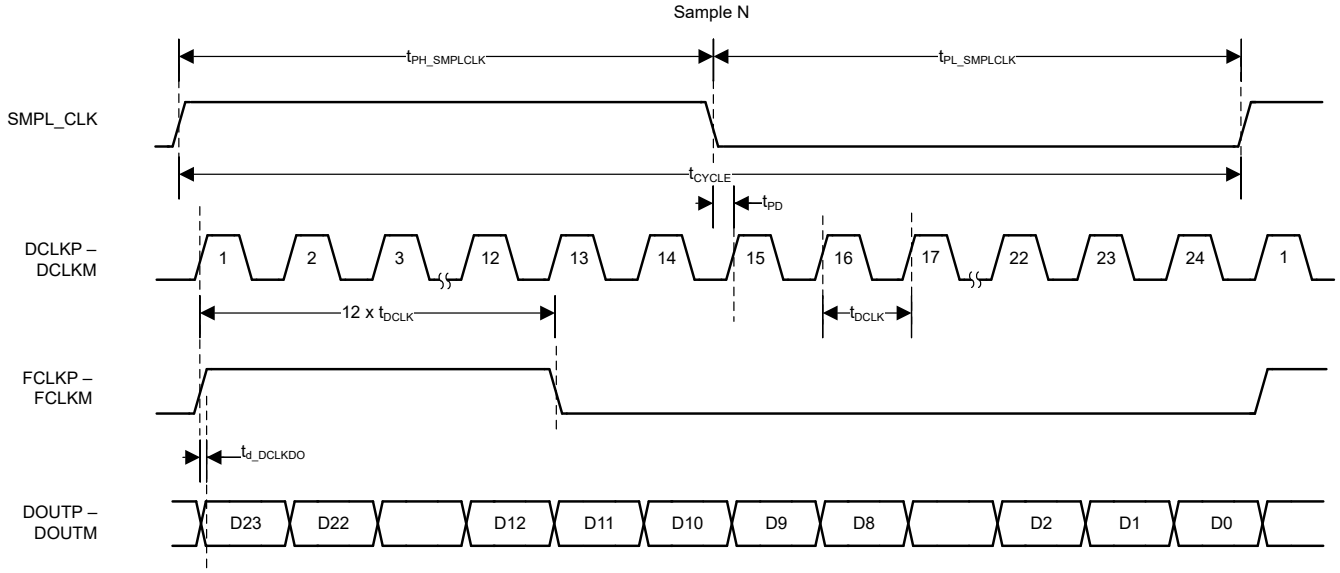


图 5-2. LVDS 数据接口：SDR

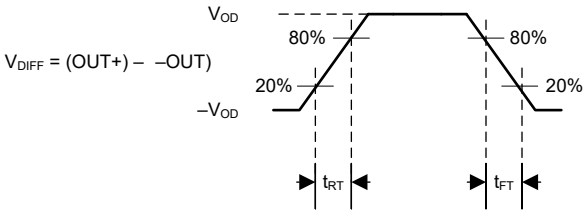


图 5-3. LVDS 输出转换次数

Copyright © 2025 Texas Instruments Incorporated

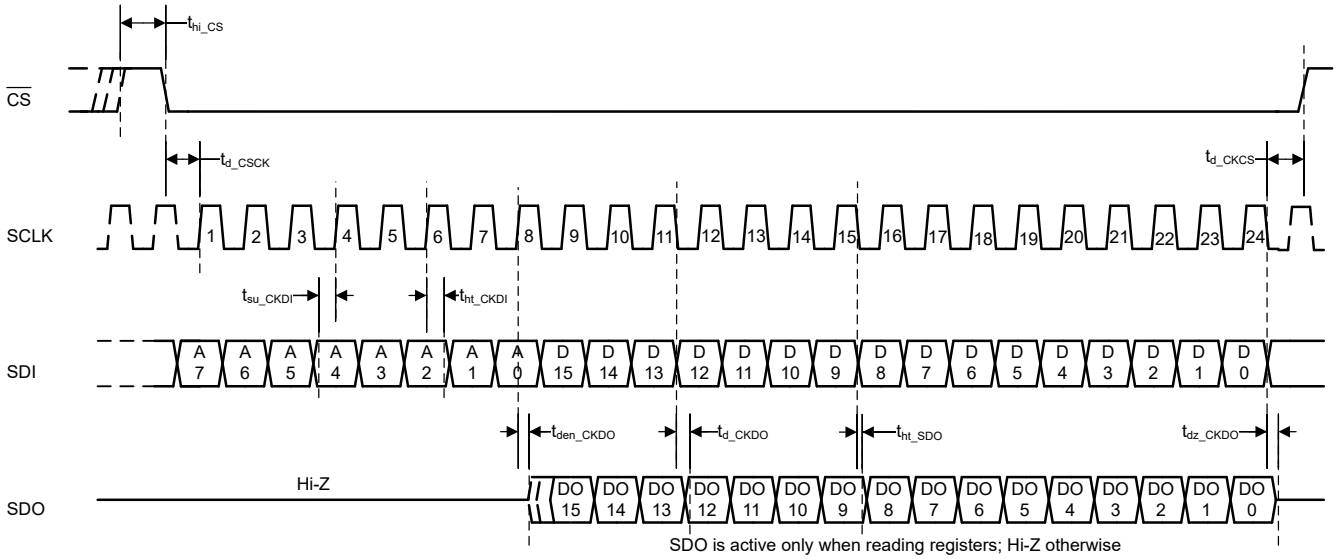


图 5-4. 配置 SPI

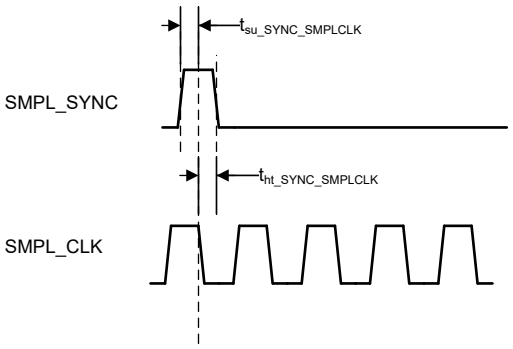
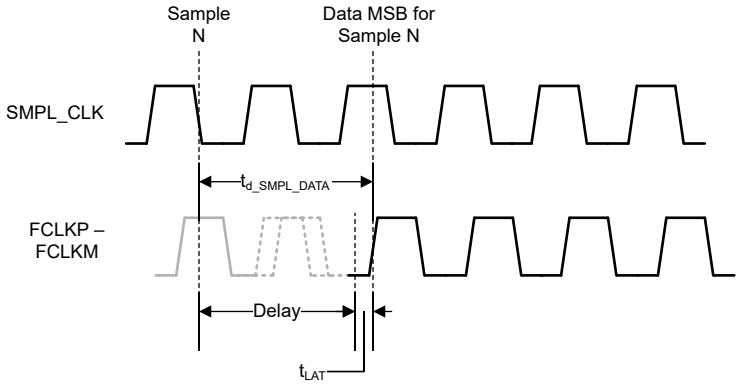


图 5-5. SMPL_SYNC 时序



1. 更多详细信息，请参阅 *ADC 采样时钟输入* 部分。

图 5-6. 采样边沿到相应数据 MSB 输出时序

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性：所有器件

T_A = 25°C，AVDD_5V = 5V，VDD_1V8 = 1.8V，外部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）

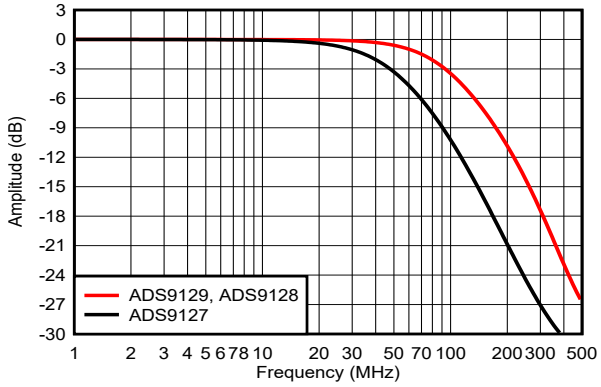


图 5-7. 典型模拟输入带宽

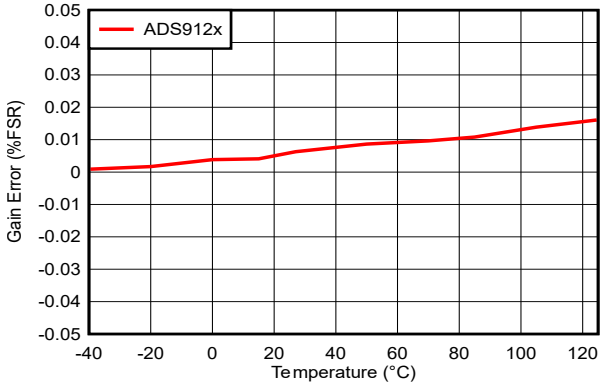


图 5-8. 增益误差与温度间的关系

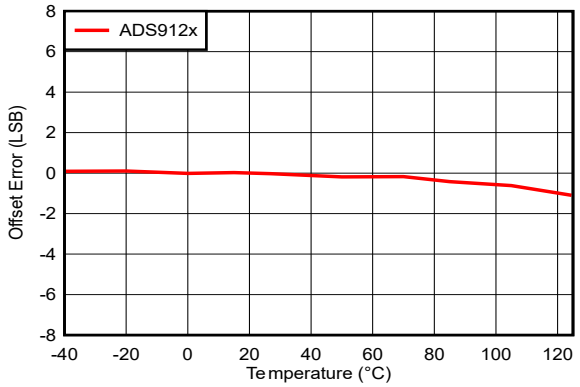


图 5-9. 偏移误差与温度间的关系

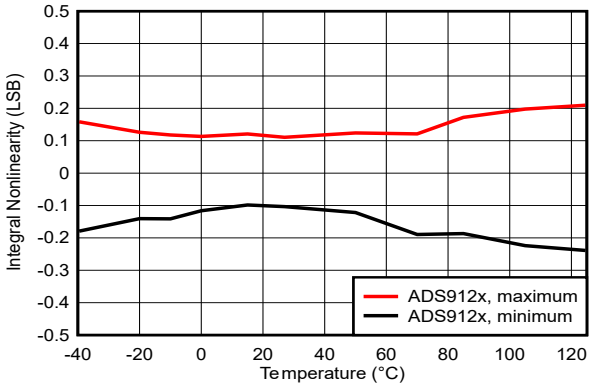


图 5-10. INL 与温度间的关系

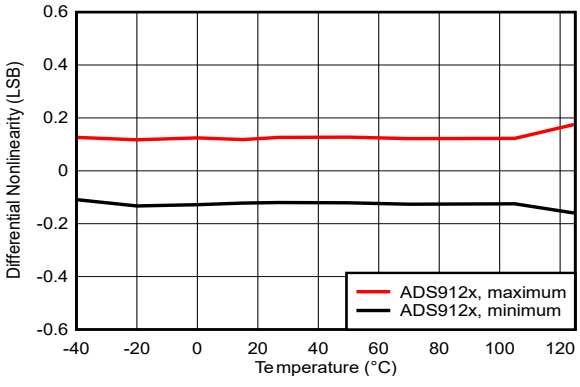


图 5-11. DNL 与温度间的关系

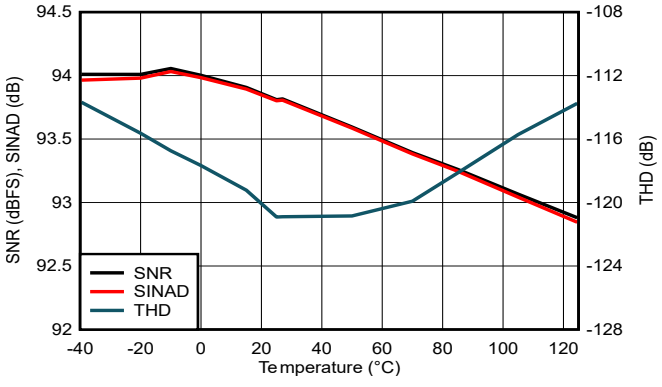


图 5-12. SNR、SINAD 和 THD 与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

5.9 典型特性：所有器件（续）

T_A = 25°C，AVDD_5V = 5V，VDD_1V8 = 1.8V，外部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）

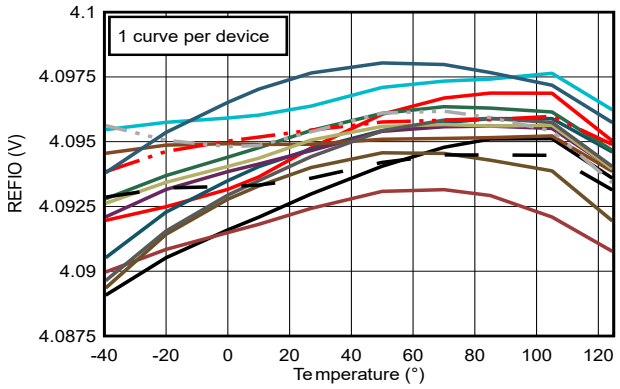


图 5-13. REFIO 电压与温度间的关系

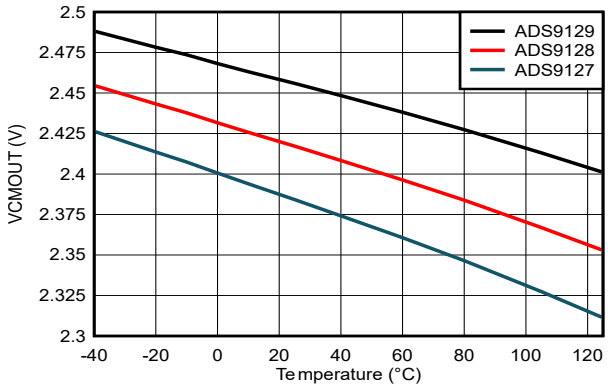


图 5-14. V_{CMOUT} 电压与温度间的关系

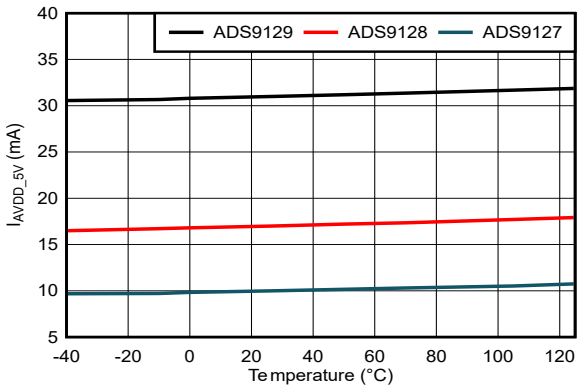


图 5-15. AVDD_5V 电流与温度间的关系

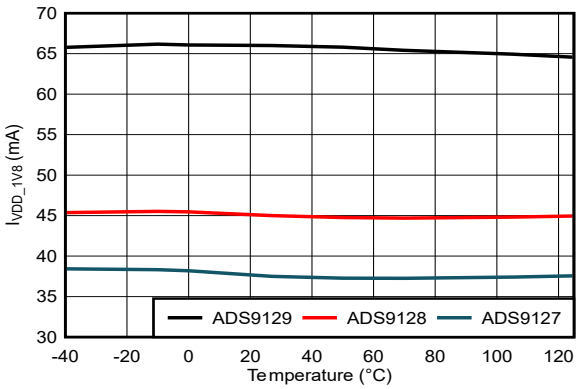
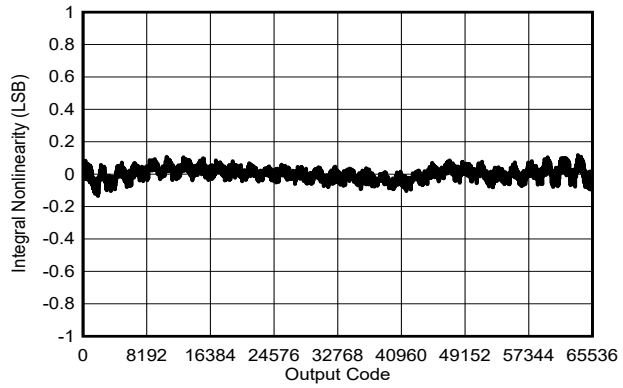


图 5-16. VDD_1V8 电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

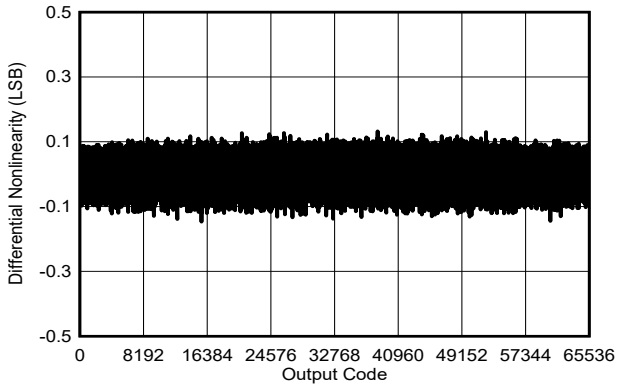
5.10 典型特性：ADS9129

T_A = 25°C，AVDD_5V = 5V，VDD_1V8 = 1.8V，外部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）



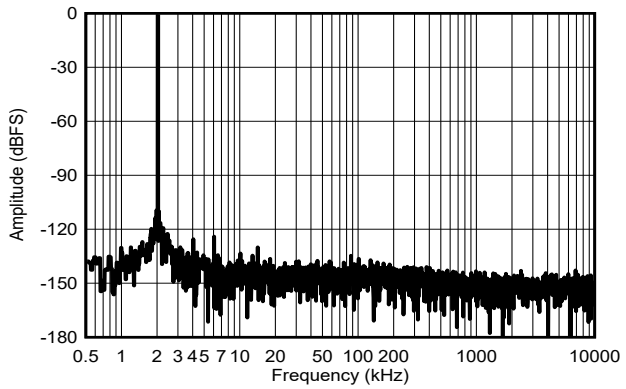
典型 INL = ±0.15LSB

图 5-17. 典型 INL



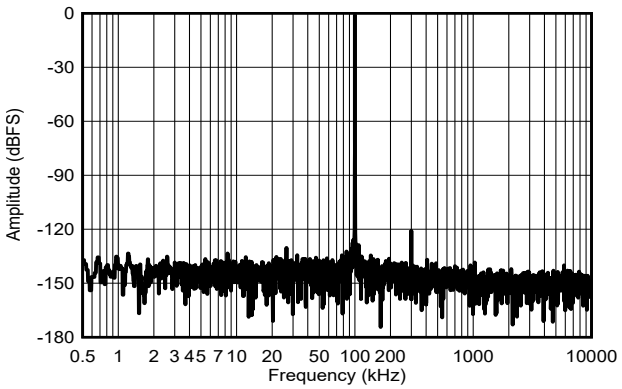
典型 DNL = ±0.15LSB

图 5-18. 典型 DNL：ADS9129



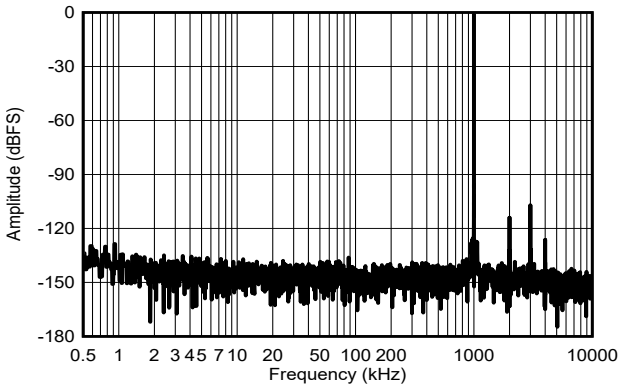
f_{IN} = 2kHz，SNR = 93.5dBFS，THD = –120dB

图 5-19. f_{IN} = 2kHz 时的典型 FFT



f_{IN} = 100kHz，SNR = 93.5dBFS，THD = –118dB

图 5-20. f_{IN} = 100kHz 时的典型 FFT



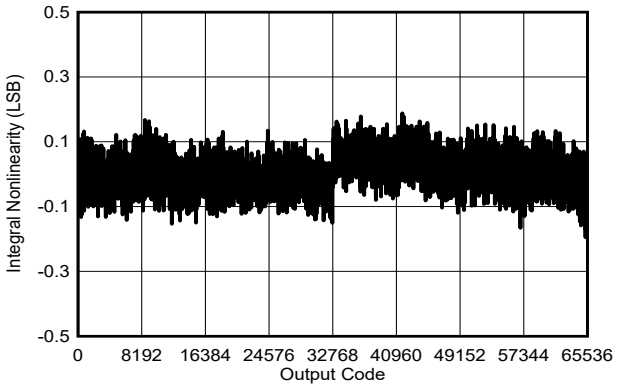
f_{IN} = 1MHz，SNR = 93.3dBFS，THD = –104.2dB

图 5-21. f_{IN} = 1MHz 时的典型 FFT

Copyright © 2025 Texas Instruments Incorporated

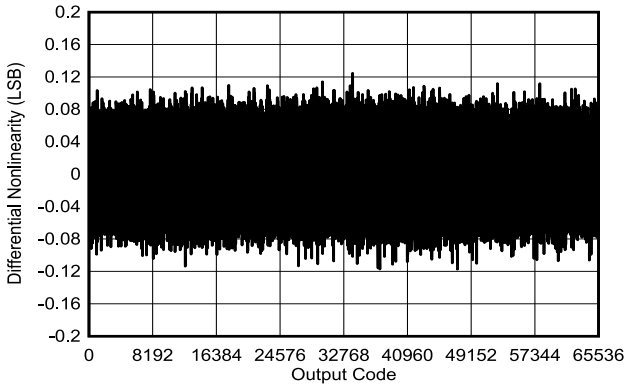
5.11 典型特性：ADS9128

T_A = 25°C，AVDD_5V = 5V，VDD_1V8 = 1.8V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）



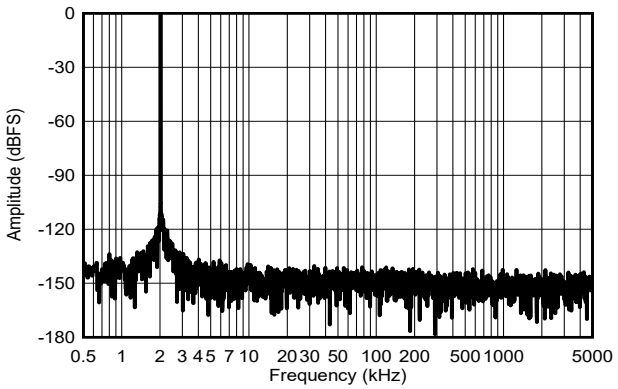
典型 INL = ±0.2LSB

图 5-22. 典型 INL



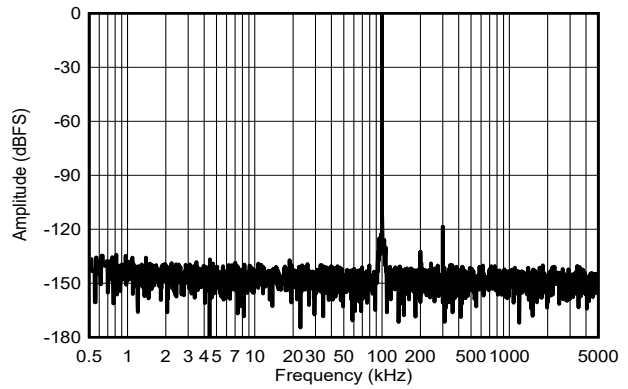
典型 DNL = ±0.15LSB

图 5-23. 典型 DNL



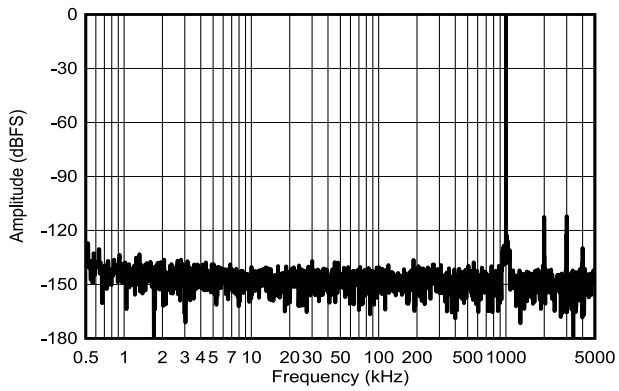
f_{IN} = 2kHz，SNR = 93.9dBFS，THD = –122dB

图 5-24. f_{IN} = 2kHz 时的典型 FFT



f_{IN} = 100kHz，SNR = 93.8dBFS，THD = –118dB

图 5-25. f_{IN} = 100kHz 时的典型 FFT



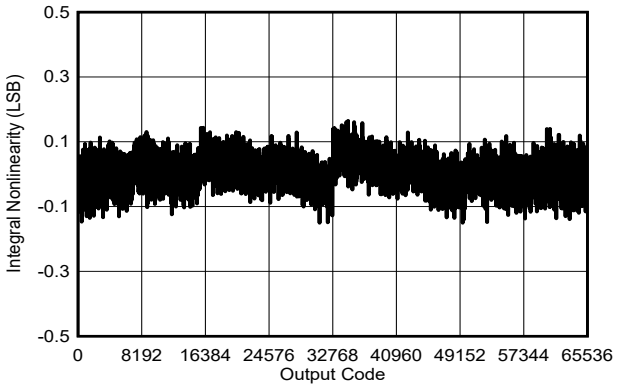
f_{IN} = 1MHz，SNR = 93.3dBFS，THD = –104dB

图 5-26. f_{IN} = 1MHz 时的典型 FFT

Copyright © 2025 Texas Instruments Incorporated

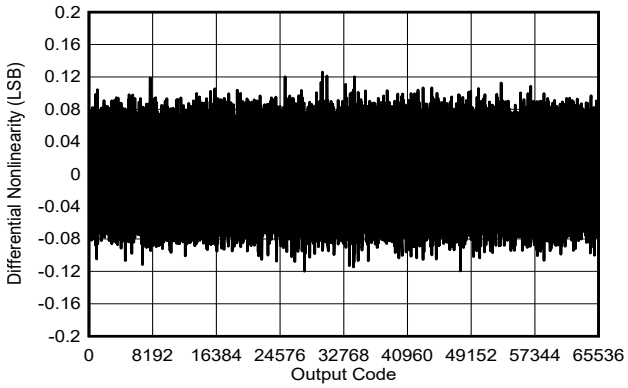
5.12 典型特性：ADS9127

T_A = 25°C，AVDD_5V = 5V，VDD_1V8 = 1.8V，内部 V_{REF} = 4.096V，最大吞吐量（除非另有说明）



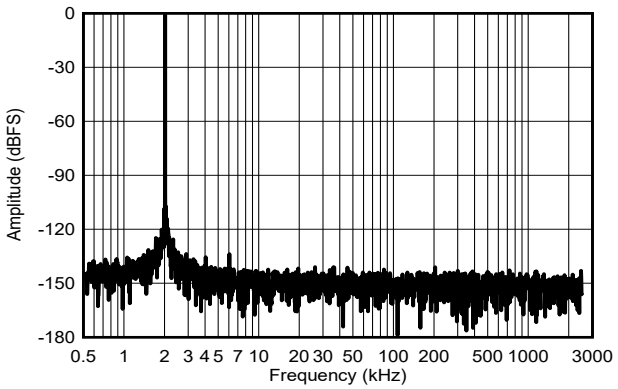
典型 INL = ±0.2LSB

图 5-27. 典型 INL



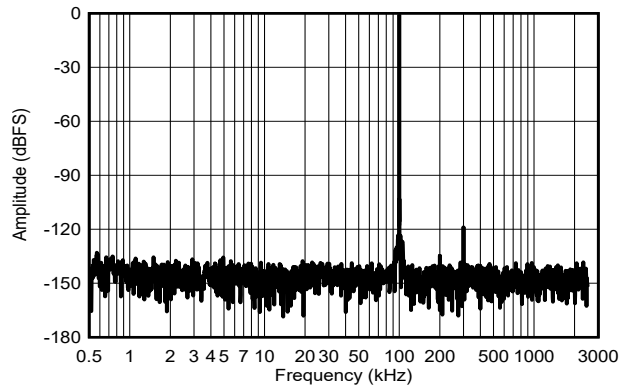
典型 DNL = ±0.15LSB

图 5-28. 典型 DNL



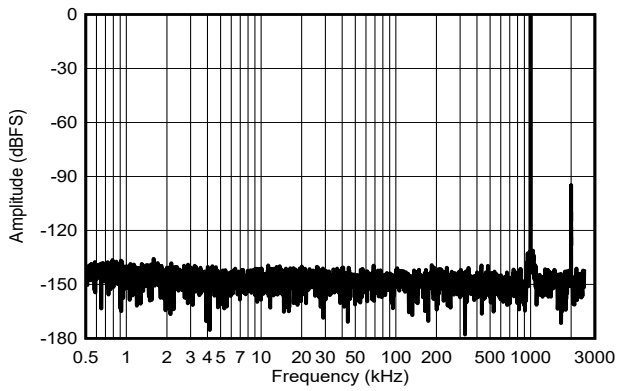
f_{IN} = 2kHz，SNR = 93.9dBFS，THD = –122.5dB

图 5-29. f_{IN} = 2kHz 时的典型 FFT



f_{IN} = 100kHz，SNR = 93.8dBFS，THD = –119dB

图 5-30. f_{IN} = 100kHz 时的典型 FFT



f_{IN} = 1MHz，SNR = 93.3dBFS，THD = –104.5dB

图 5-31. f_{IN} = 1MHz 时的典型 FFT

Copyright © 2025 Texas Instruments Incorporated

6 详细说明

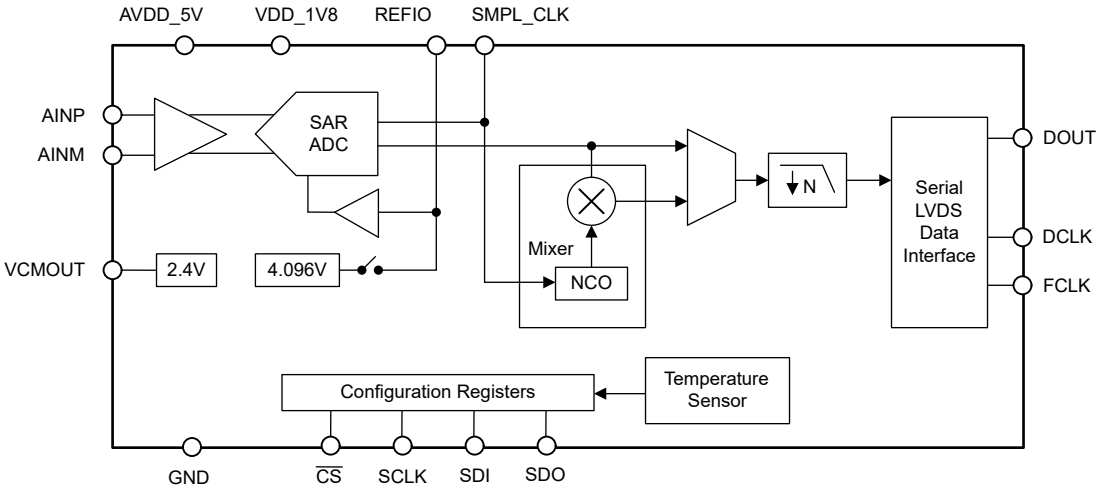
6.1 概述

ADS912x 是 16 位、20MSPS 模数转换器 (ADC)。ADS912x 在 ADC 输入端集成了高阻抗缓冲器、电压基准、基准缓冲器和共模电压输出缓冲器。ADS9129 支持单极差分模拟输入信号。ADC 输入端的缓冲器经优化，可实现低失真和低功耗运行。

对于模拟输入信号的直流电平转换，该器件具有共模电压输出缓冲器。共模电压源自集成基准缓冲器的输出。启动转换时，将对 (AINP – AINM) 引脚之间的差分输入进行采样。ADS912x 使用 SMPL_CLKP 引脚上的时钟输入来启动转换。

ADS912x 在 20MSPS 下工作时的功耗仅为 274mW。该值包括 ADC 输入端的缓冲器功率耗散。串行 LVDS (SLVDS) 数字接口简化了电路板布局布线、时序、固件，并支持在较低时钟速度下实现全吞吐量。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 模拟输入

ADS912x 支持交流耦合和直流耦合差分模拟输入。模拟输入的输入共模电压必须与 VCMOUT 引脚上的电压电平匹配。图 6-1 展示了器件的等效输入网络图。

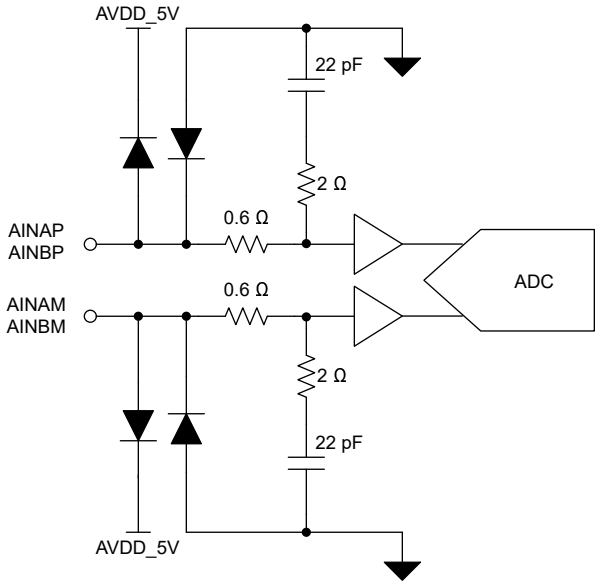


图 6-1. 等效输入网络

6.3.2 模拟输入带宽

图 5-7 显示了 ADS912x 的模拟全功率输入带宽。ADS9129 和 ADS9128 的 –3dB 带宽为 90MHz，ADS9127 的带宽为 45MHz。

6.3.3 ADC 传递函数

ADS912x 支持 ±3.2V 差分输入范围。该器件以直接二进制或二进制补码格式输出 16 位转换数据。如表 6-1 所示，所有模拟通道的输出代码格式均相同。可以使用寄存器地址 0x0D 中的 DATA_FORMAT 字段配置输出代码的格式。ADC 的最低有效位 (LSB) 由 1LSB = 6.4V/2^{16} 给出。

表 6-1. 传输特性

输入电压	说明	二进制补码格式的 ADC 输出	直接二进制格式的 ADC 输出
≤ –3.2V + 1LSB	负满量程代码	0x8000	0x0000
0V + 1LSB	中间码	0x0000	0x7FFF
≥ 3.2V – 1LSB	正满量程代码	0x7FFF	0xFFFF

Copyright © 2025 Texas Instruments Incorporated

6.3.4 基准电压

ADS912x 器件内部具有一个精密的低漂移电压基准。为了获得出色性能，可通过将 10µF 陶瓷旁路电容器连接到 REFIO 引脚来滤除内部基准噪声（如 图 6-2 所示）。如 图 6-3 所示，将 REFIO 引脚连接到外部基准。当使用外部基准时，应通过在寄存器组 1 的地址 0xC1 中写入 PD_REF = 1b 来禁用内部基准电压。

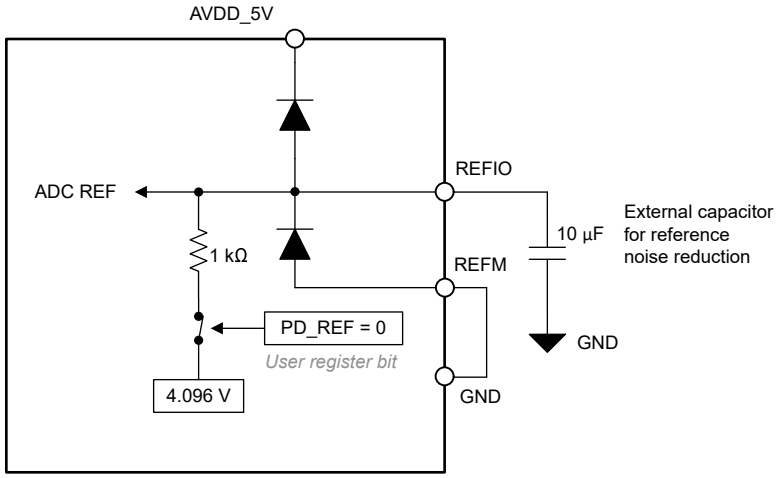


图 6-2. 内部基准电压

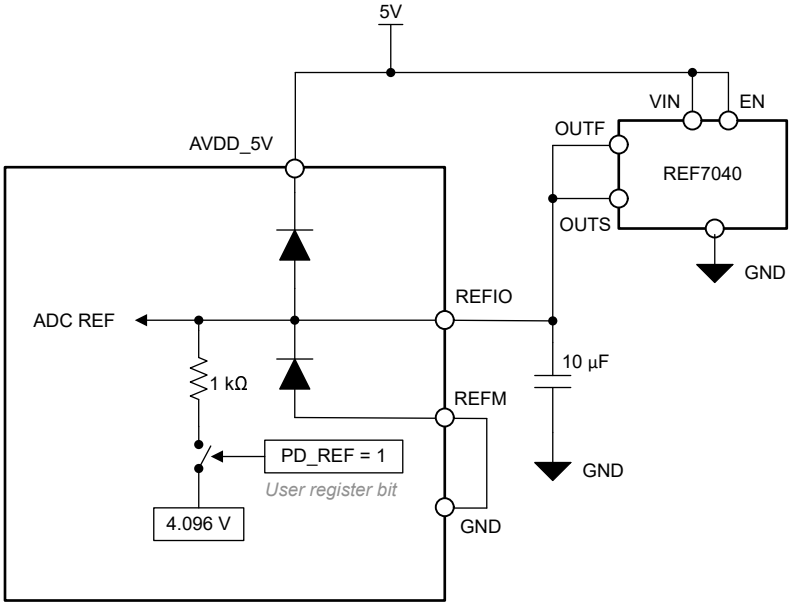


图 6-3. 外部基准电压

6.3.5 温度传感器

ADS912x 具有一个用于测量器件内部温度的 10 位温度传感器。按照表 6-2 中列出的顺序，通过 SPI 读取温度传感器输出。在任意时刻独立于 ADC 数据接口读取温度传感器数据。

方程式 1 计算温度传感器的传递函数。

$$\text{Temperature} = -85.0172 + (10\text{ bit output} \times 0.24918)\ ^\circ\text{C} \quad (1)$$

Copyright © 2025 Texas Instruments Incorporated

表 6-2. 读取温度传感器输出的序列

寄存器地址	寄存器组	值	注释
0x90	1	0x4000	写入寄存器以在地址 0x91 中加载温度传感器输出
0x91	1	10 位温度传感器数据	读取温度传感器输出寄存器
0x90	1	0x0000	写入寄存器

6.3.6 数据平均

ADS912x 具有内置抽取滤波器，可对 ADC 的转换结果进行平均。输出数据速率随着数据平均值的增加而降低。表 6-3 显示了对应于过采样率的寄存器设置。

如图 6-4 所示，SMPL_SYNC 引脚上的脉冲会将抽取滤波器复位。SMPL_SYNC 上的脉冲会在使用抽取滤波器时同步多个 ADS912x 器件。

表 6-3. OSR 的寄存器映射设置

DECIMATION	寄存器	值
OSR 初始化	CLK3 (0xC5[9])	1
	OSR_INIT1 (0xC0[11:10])	1
	OSR_INIT2 (0xC4[5:4])	2
	OSR_INIT3 (0xC4[1])	1
	OSR_EN (0x0D[6])	1
2	OSR (0x0D[5:2])	0
	OSR_CLK (0xC0[9:7])	0
4	OSR (0x0D[5:2])	1
	OSR_CLK (0xC0[9:7])	4
8	OSR (0x0D[5:2])	2
	OSR_CLK (0xC0[9:7])	5
16	OSR (0x0D[5:2])	3
	OSR_CLK (0xC0[9:7])	6

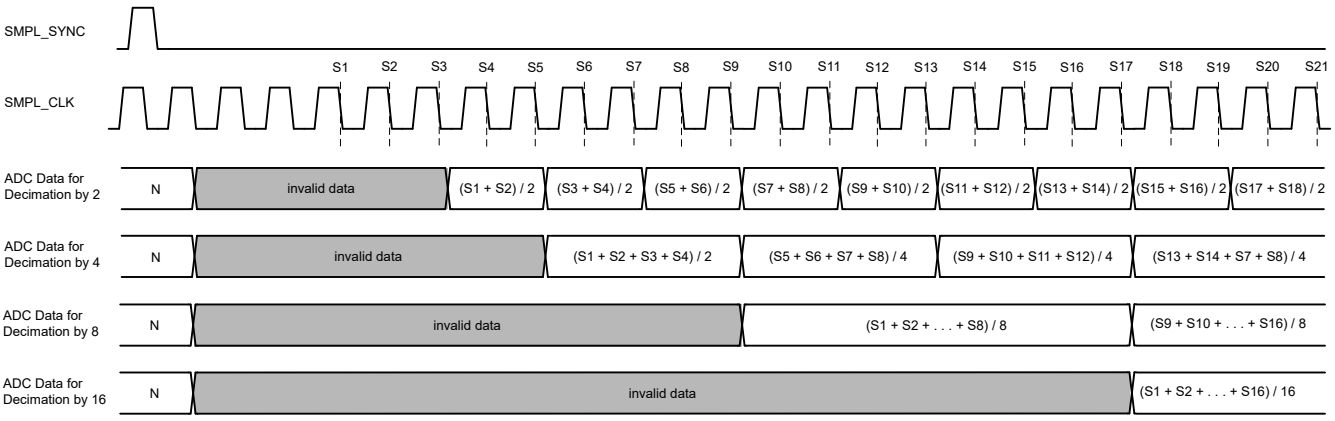


图 6-4. 具有抽取功能的数据输出

Copyright © 2025 Texas Instruments Incorporated

6.3.7 数字下变频器

ADS912x 具有可通过 SPI 寄存器设置启用的可选片上数字下变频器 (DDC)。如图 6-5 所示，DDC 包含一个数字混频器和一个 24 位数控振荡器 (NCO)。数字混频器可生成 24 位 I 和 Q 输出，这两个输出表示 ADC 输出数据与 NCO 输出频率的复杂混合。ADC 通过数字混频器分别生成与 24 位 I 和 Q 输出相对应的 48 位输出。

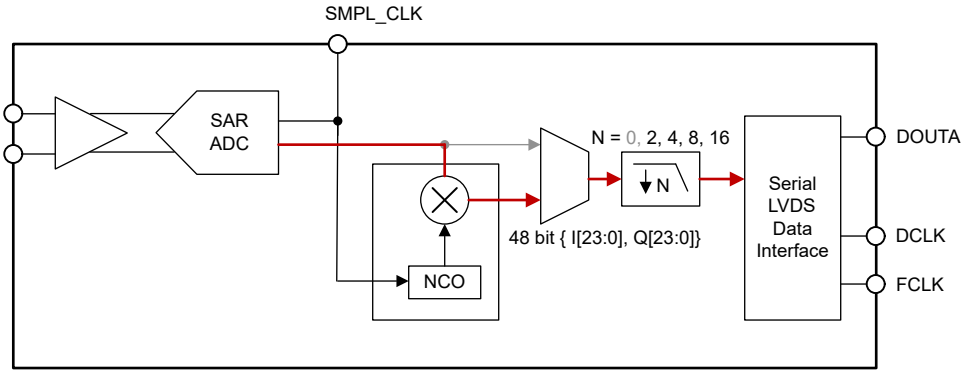


图 6-5. 使用数字下变频器时的数据路径

NCO 的输出频率（在 方程式 2 中给出）使用 NCO_FREQUENCY 寄存器（地址 0xFD 和 0xFE）来配置。

$$f_{NCO} = \frac{f_{SMPL_CLK}}{2^{24}} \times (NCO_FREQUENCY[23:0] \,\&\, 0xFFFFF0)\ Hz \quad (2)$$

通过在 SMPL_SYNC 引脚上施加一个脉冲，可以复位 NCO 的输出相位；请参阅图 5-5。如方程式 3 和表 6-4 所示，使用 NCO_PHASE 寄存器（地址 0xFC 和 0xFD）配置 NCO 输出的初始相位。

$$NCO_PHASE[23:0] = \left(\frac{\text{Initial phase}}{2\pi} \times 2^{24}\right) \& \ 0xFFFFF0 \quad (3)$$

表 6-4. 初始 NCO 相位

NCO_PHASE[23:0]	初始阶段
0x000000	0
0x7FFFF0	π
0xFFFFF0	2 π

Copyright © 2025 Texas Instruments Incorporated

在 DDC 中使用抽取因子 2、4、8 或 16。表 6-5 显示了用于抽取 DDC 输出的寄存器配置。

表 6-5. DDC 的抽取设置

DECIMATION	寄存器	值
2	OSR_EN (0x0D[6])	1
	OSR (0x0D[5:2]	0
	OSR_CLK (0xC0[9:7])	0
抽取因子 4、8 和 16 的常见设置	CLK3 (0xC5[9])	1
	OSR_INIT1 (0xC0[11:10])	1
	OSR_INIT2 (0xC4[5:4])	2
	OSR_INIT3 (0xC4[1])	1
	OSR_EN (0x0D[6])	1
4	OSR (0x0D[5:2]	1
	OSR_CLK (0xC0[9:7])	0
8	OSR (0x0D[5:2]	2
	OSR_CLK (0xC0[9:7])	4
16	OSR (0x0D[5:2]	3
	OSR_CLK (0xC0[9:7])	5

6.3.8 数据接口

ADS912x 具备高速串行 LVDS 数据接口，在单数据速率 (SDR) 和双数据速率 (DDR) 模式下，输出数据帧宽度可设为 20 位或 24 位。

在写入其他寄存器字段之前，请先配置 INIT_1 寄存器字段，如表 6-6 和表 6-7 中所述。

表 6-6. ADS9127 输出数据接口的寄存器映射设置

数据帧宽度（位）	数据速率	INIT_1 0x04[3:0]	DATA_LANES 0x12[2:0]	DATA_RATE 0xC1[8]	CLK1 0xC0[12]	CLK2 0xC1[0]	CLK3 0xC5[9]	CLK4 0xC5[3:2]	CLK5 0xFB[1]	CLK6 0x1C[7:6]
20	SDR	0x000B	0	1	0	1	0	3	0	3
20	DDR	0x000B	0	0	0	1	0	3	0	3
24	SDR	0x0000	2	1	0	0	0	0	0	0
24	DDR	0x0000	2	0	0	0	0	0	0	0

表 6-7. ADS9129 和 ADS9128 输出数据接口的寄存器映射设置

数据帧宽度（位）	数据速率	INIT_1 0x04[3:0]	DATA_LANES 0x12[2:0]	DATA_RATE 0xC1[8]	CLK1 0xC0[12]	CLK2 0xC1[0]	CLK3 0xC5[9]	CLK4 0xC5[3:2]	CLK5 0xFB[1]	CLK6 0x1C[7:6]
20	SDR	—	不支持							
20	DDR	—	不支持							
24	SDR	—	2	1	0	0	0	0	0	0
24	DDR	—	2	0	0	0	0	0	0	0

ADS912x 会生成数据时钟 DCLK，该时钟是 ADC 采样时钟 SMPL_CLK 的倍数。数据时钟频率取决于数据帧宽度和数据速率。数据帧宽度为 20 或 24 位，数据速率为 SDR 或 DDR。以下公式用于计算 DCLK 速度。表 6-8 列出了输出数据时钟频率的可能值。

$$\text{DCLK speed} = \frac{\text{Data Frame Width (24 bit or 20 bit)}}{\text{Data Rate(SDR = 1, DDR = 2)}} \times \text{SMPL_CLK} \quad (4)$$

Copyright © 2025 Texas Instruments Incorporated

表 6-8. 数据时钟 (DCLK) 速度

数据帧宽度 (位)	数据速率 (1 = SDR、2 = DDR)	SMPL_CLK 倍频器	DCLK (SMPL_CLK = 5MHz)	DCLK (SMPL_CLK = 10MHz)	DCLK (SMPL_CLK = 20MHz)
24	1	24	120MHz	—	—
	2	12	60MHz	120MHz	240MHz
20	1	20	100MHz	—(1)	—(1)
	2	10	50MHz	—(1)	—(1)

(1) ADS9129 或 ADS9128 不支持 20 位数据帧宽度。

6.3.8.1 数据帧宽度

如图 6-6 所示，ADS912x 支持 24 位和 20 位数据帧宽度选项。通过配置地址 0x12 中的 DATA_WIDTH 字段来选择数据帧宽度。默认输出数据帧宽度为 24 位。ADC 分辨率为 18 位，用 20 位表示。

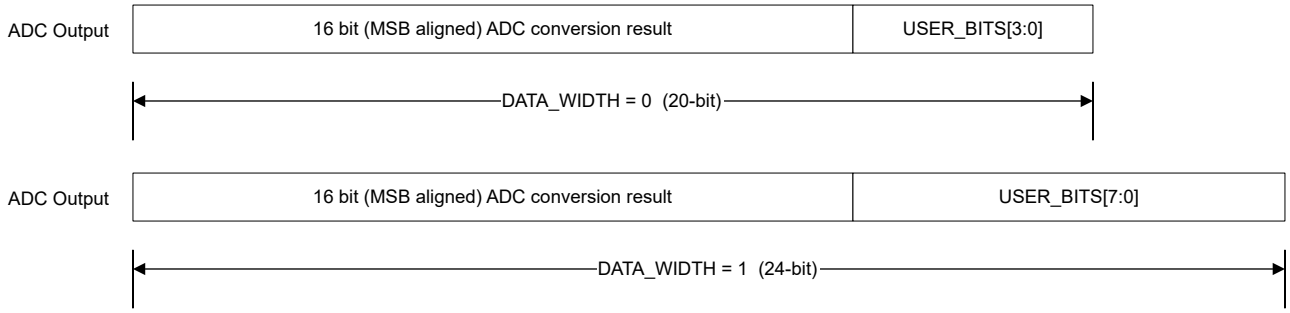


图 6-6. 数据帧宽度组成

6.3.8.2 同步多个 ADC

使用通用采样时钟驱动相应 ADS912x 器件的 SMPL_CLK 引脚。通过对相应 ADC 的 SMPL_CLK 使用相同的 PCB 布线长度，匹配 ADC 外部时钟路径上的时序延迟。

使用内部抽取滤波器时，可使用 SMPL_SYNC 引脚同步多个 ADC。SMPL_SYNC 引脚由采样时钟的下降沿锁存。SMPL_SYNC 上的脉冲会复位内部抽取滤波器。

Copyright © 2025 Texas Instruments Incorporated

6.3.8.3 数据接口测试图形

ADS912x 具有主机用于调试和验证数据接口的测试图形（图 6-7）。测试图形使用预定义的数字数据替换 ADC 输出数据。通过配置组 1 中相应的寄存器地址 0x13 至 0x16 来启用测试图形。

表 6-9 列出了 ADS912x 支持的测试图形。

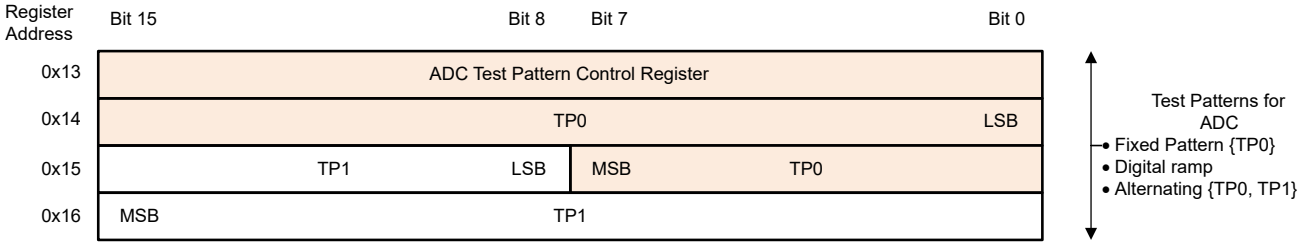


图 6-7. 用于测试图形的寄存器组

表 6-9. 测试图形配置

ADC 输出	TP_EN	TP_MODE	章节	结果
ADC 转换结果	0			
固定图形	1	0 或 1	*固定图形*	ADC 输出 = TP0
数字斜坡	1	2	*数字斜坡*	ADC 输出 = 数字斜坡
交替测试图形	1	3	*交替测试图形*	ADC 输出 = TP0、TP1

6.3.8.3.1 固定图形

ADC 输出 TP0 寄存器中定义的固定图形，以代替 ADC 数据。

- 在 TP0 中配置测试图形
- 设置 TP_EN = 1 和 TP_MODE = 0（地址 = 0x13）

6.3.8.3.2 交替测试图形

ADC 输出 TP0 和 TP1 寄存器中定义的交替测试图形，以代替 ADC 数据。

- 在 TP0 和 TP1 中配置测试图形
- 设置 TP_EN = 1 和 TP_MODE = 3（地址 = 0x13）

6.3.8.3.3 数字斜坡

ADC 以 RAMP_INC 寄存器中指定的增量输出数字斜坡值，以代替 ADC 数据。

- 在 RAMP_INC（地址 = 0x13）寄存器中配置数字斜坡的两个连续阶跃之间的增量值。数字斜坡递增 N + 1，其中 N 是在 RAMP_INC 寄存器中配置的值。
- 设置 TP_EN = 1 和 TP_MODE = 2（地址 = 0x13）。

Copyright © 2025 Texas Instruments Incorporated

6.3.9 ADC 采样时钟输入

使用具有高压摆率的低抖动外部时钟来尽可能提高 SNR 性能。可以使用差分或单端时钟输入来操作 ADS912x。时钟幅度影响 ADC 孔径抖动，从而影响 SNR。为了获得出色 SNR 性能，请提供具有快速压摆率的时钟信号，以更大限度增加 VDD_1V8 和 GND 电平之间的摆幅。

确保采样时钟是自由运行的连续时钟。在应用自由运行的采样时钟后，ADC 会按照 *开关特性* 中的规定，生成有效的输出数据、数据时钟和帧时钟 $t_{PU_SMPL_CLK}$。当采样时钟停止时，ADC 处于断电状态，输出数据、数据时钟和帧时钟无效。

图 6-8 显示了差分采样时钟输入图。对于此配置，请将差分采样时钟输入连接到 SMPL_CLKP 和 SMPL_CLKM 引脚。图 6-9 显示了单端采样时钟输入图。在此配置中，将单端采样时钟连接到 SMPL_CLKP，并将 SMPL_CLKM 接地。

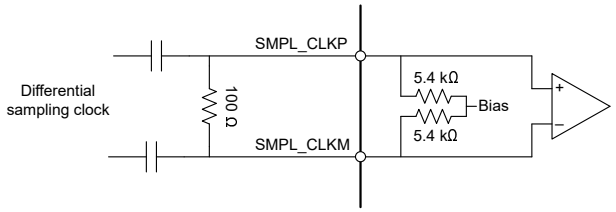


图 6-8. 交流耦合差分采样时钟

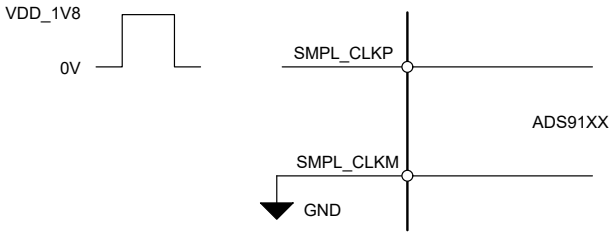


图 6-9. 单端采样时钟

图 5-6 展示了从模拟输入采样时刻到由 FCLK 上升沿标记的相应数据 MSB 输出的延迟。数据输出延迟的公式取决于输出数据帧宽度，并在 表 6-10 中给出。

表 6-10. 数据输出延迟

器件	24 位数据帧	20 位数据帧
ADS9129	$2 \times t_{SMPL_CLK} + t_{LAT}$	不支持
ADS9128	$1.83 \times t_{SMPL_CLK} + t_{LAT}$	不支持
ADS9127	$1.83 \times t_{SMPL_CLK} + t_{LAT}$	$2 \times t_{SMPL_CLK} + t_{LAT}$

1. 有关 t_{LAT} 的信息，请参阅 *开关特性* 表。

Copyright © 2025 Texas Instruments Incorporated

6.4 器件功能模式

6.4.1 复位

通过 $\overline{\text{RESET}}$ 引脚上的逻辑 0，或通过向 RESET 字段（地址 0x00，寄存器组 0）写入 1b 将 ADS912x 断电。复位后器件寄存器将初始化为默认值。使用一个寄存器写入操作序列来初始化器件；请参阅*初始化序列*部分。

6.4.2 断电选项

通过 $\overline{\text{PWDN}}$ 引脚上的逻辑 0，或通过向 PD_CH 字段（地址 0xC0，寄存器组 1）写入 11b 将 ADS912x 断电。上电后器件寄存器初始化为默认值。使用一个寄存器写入操作序列来初始化器件；请参阅*初始化序列*部分。

6.4.3 正常运行

在正常工作模式下，ADS912x 上电，并在采样时钟下降沿对模拟输入进行数字化。ADC 输出数据时钟、帧时钟，以及 MSB 对齐的、16 位 转换结果。

6.4.4 初始化序列

使用上电时的默认值初始化 ADS912x 寄存器映射。表 6-11 列出了启用增益误差校准（推荐）和更改输出数据接口的步骤。仅对于 ADS9129，请执行表 6-12 中的初始化步骤。

表 6-11. ADS9129、ADS9128 和 ADS9127 的用户定义配置

步骤编号	寄存器			注释
	BANK	地址	VALUE[15:0]	
1	1	0x0D	用户自定义	启用增益误差校准，并选择 ADC 输出数据格式
2	1	0x33	0x2040	启用增益误差校准
3	0	0x04	如果数据帧宽度 = 24 位，则为 0x0000 如果数据帧宽度 = 20 位，则为 0x000B	

表 6-12. 仅适用于 ADS9129 的初始化配置

步骤编号	寄存器		
	BANK	地址	VALUE[15:0]
1	1	0x0D [9:8]	0x3
2	1	0x34 [1]	0x1

Copyright © 2025 Texas Instruments Incorporated

6.5 编程

6.5.1 寄存器写入

通过设置 SPI_RD_EN = 0b 来启用寄存器写入访问。16 位配置寄存器分为三个寄存器组，可以使用 8 位寄存器地址进行寻址。通过配置 PAGE_SEL0 位和 PAGE_SEL1 位，可以分别选择寄存器组 1 和寄存器组 2 进行读取或写入操作。无论 PAGE_SELx 位如何，组 0 中的寄存器始终都是可访问的。这些寄存器地址是唯一的，因此不在寄存器组 1 和 2 中使用。

如图 6-10 所示，写入寄存器的步骤包括：

1. 第 1 帧：写入寄存器组 0 中的寄存器地址 0x03，以选择寄存器组 1 或组 2 进行后续寄存器写入。当写入组 0 中的寄存器时，该帧不起作用。
2. 第 2 帧：写入第 1 帧中选择的组中的寄存器。重复此步骤以写入同一寄存器组中的多个寄存器。

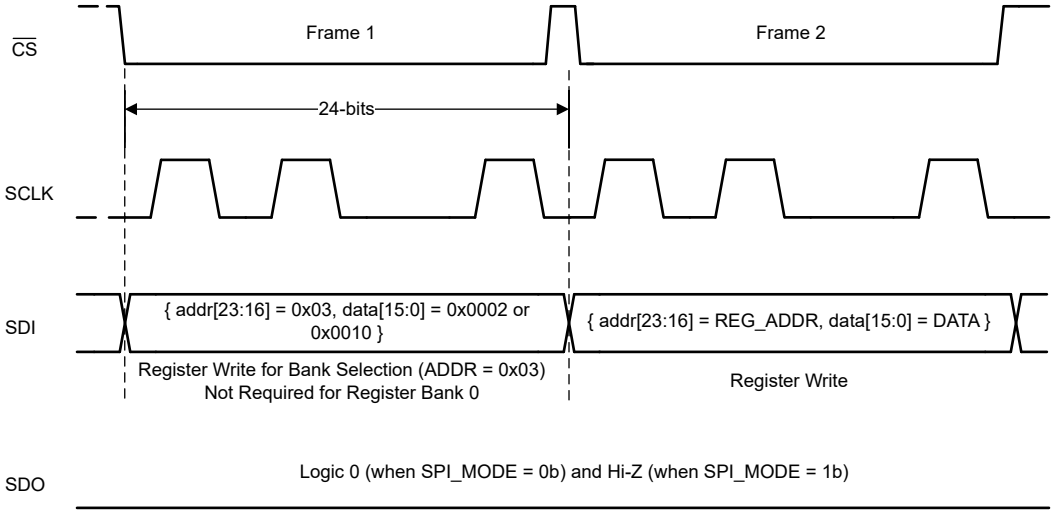


图 6-10. 寄存器写入

6.5.2 寄存器读取

通过写入寄存器组 0 中的寄存器地址 0x03 来选择所需的寄存器组。在寄存器组 0 中设置 SPI_RD_EN = 1b 和 SPI_MODE = 1b 来启用寄存器读取访问。如 图 6-11 所示，设置 SPI_RD_EN 和 SPI_MODE 后，可以使用两个 24 位 SPI 帧来读取寄存器。第一个 SPI 帧选择寄存器组。ADC 在第二个 SPI 帧中返回与该 8 位寄存器地址对应的 16 位寄存器值。

如图 6-11 所示，读取寄存器的步骤如下：

1. 第 1 帧：当 SPI_RD_EN = 0b 时，写入寄存器组 0 中的寄存器地址 0x03，以选择所需的寄存器组 0 进行读取。
2. 第 2 帧：在寄存器组 0 的寄存器地址 0x00 中设置 SPI_RD_EN = 1b 和 SPI_MODE = 1b。
3. 第 3 帧：使用包含所需寄存器地址的 24 位 SPI 帧读取所选组中的任何寄存器。对所选组中的任意寄存器地址重复此步骤以读取相应的寄存器。
4. 第 4 帧：设置 SPI_RD_EN = 0 以禁用寄存器读取并重新启用寄存器写入。
5. 重复步骤 1 到 4 以读取不同组中的寄存器。

Copyright © 2025 Texas Instruments Incorporated

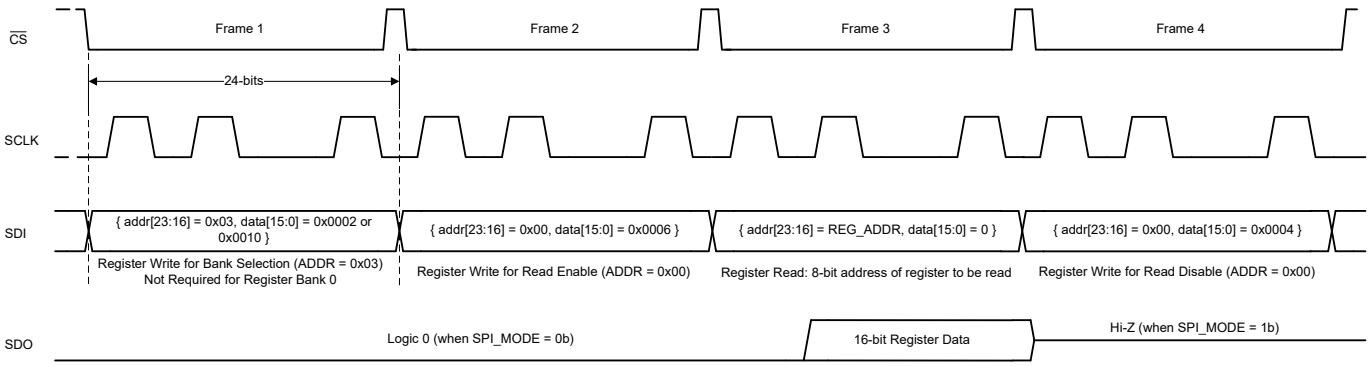


图 6-11. 寄存器读取

6.5.3 多个器件：SPI 配置的菊花链拓扑

图 6-12 显示了在菊花链拓扑中有多个器件的典型连接图。

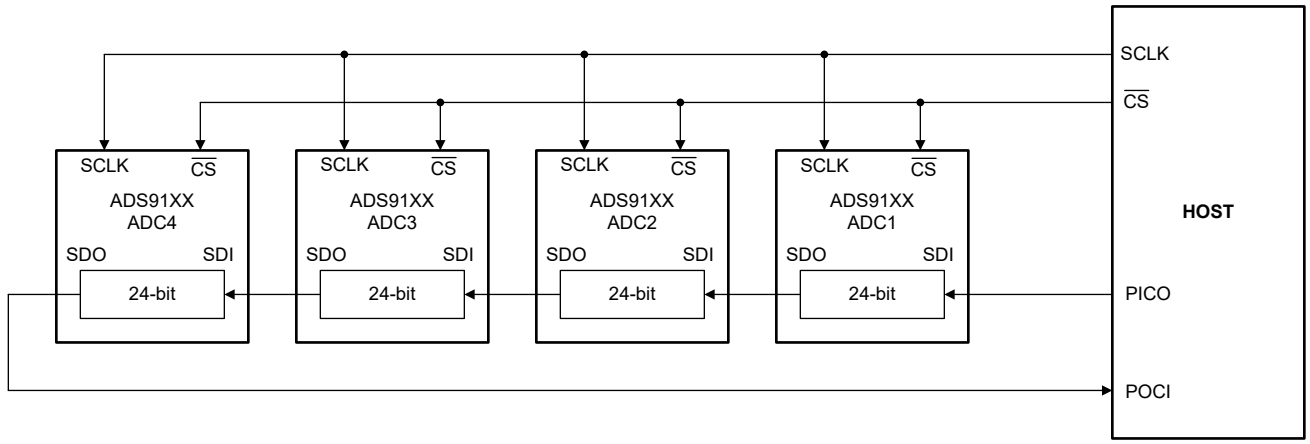


图 6-12. SPI 配置的菊花链连接

所有 ADC 的 $\overline{CS}$ 输入和 SCLK 输入都连接在一起，分别由控制器的单个 $\overline{CS}$ 引脚和 SCLK 引脚控制。链中第一个 ADC (ADC1) 的 SDI 输出引脚连接到控制器的外设 IN 控制器 OUT (PICO) 引脚。ADC1 的 SDO 输出引脚连接到 ADC2 的 SDI 输入引脚，以此类推。链中最后一个 ADC (ADC4) 的 SDO 输出引脚连接到控制器的外设 OUT 控制器 IN (POCI) 引脚。只要 $\overline{CS}$ 处于活动状态，PICO 引脚上的数据就会以 24SCLK 延迟通过 ADC1。

必须在上电或器件复位后启用菊花链模式。在 DAISY_CHAIN_LENGTH 寄存器中设置菊花链长度以启用菊花链模式。菊花链长度是链中 ADC 数量，不包括 ADC1。在图 6-12 中，DAISY_CHAIN_LENGTH 为 3。

6.5.3.1 菊花链中的寄存器写入

写入菊花链配置中的寄存器需要一个 SPI 帧中具有 N × 24 个 SCLK。包含四个 ADC 的菊花链配置中的寄存器写入（如图 6-12 所示）需要 96 个 SCLK。

菊花链模式在上电或器件复位后启用。配置 DAISY_CHAIN_LENGTH 字段以启用菊花链模式。将图 6-13 中的波形重复 N 次，其中 N 是菊花链中 ADC 的数量。图 6-14 提供了包含 N 个 SPI 帧的 SPI 波形，用于为 N 个 ADC 启用菊花链模式。

Copyright © 2025 Texas Instruments Incorporated

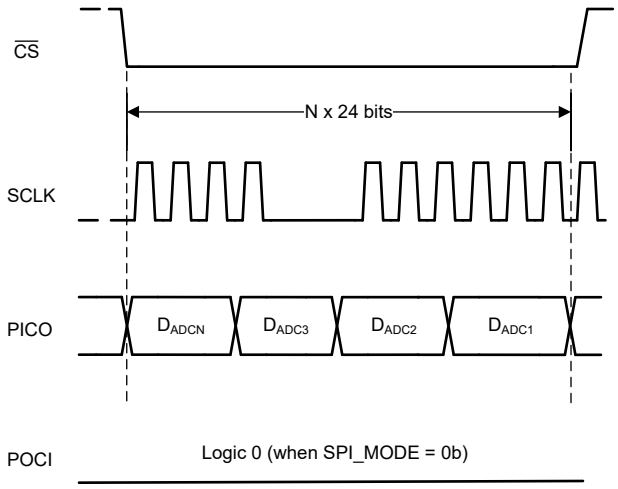


图 6-13. 菊花链中的寄存器写入

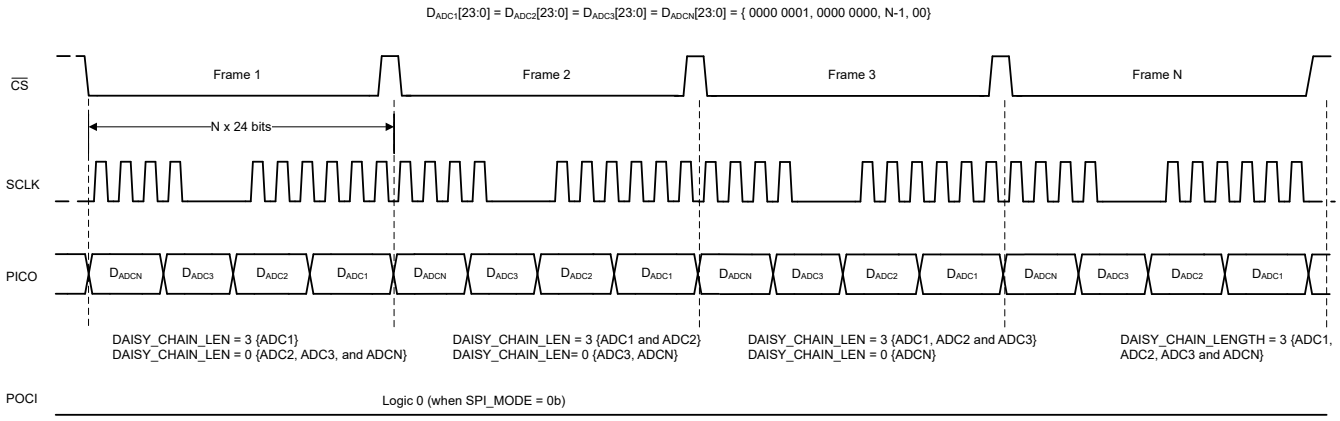


图 6-14. 写入寄存器以配置菊花链长度

6.5.3.2 菊花链中的寄存器读取

图 6-15 展示了读取菊花链配置中的寄存器的 SPI 波形。从以菊花链方式连接的 N 个 ADC 中读取寄存器的步骤如下：

1. 通过写入以下寄存器来启用寄存器读取：
   a. 写入 PAGE_SEL 以选择所需的寄存器组
   b. 通过写入 SPI_RD_EN = 0b 启用寄存器读取（默认上电时启用）
2. 选择寄存器组并且 SPI_RD_EN = 0b 时，控制器可以通过以下方式读取寄存器数据：
   a. 将包含要读取的 8 位寄存器地址的 24 位 SPI 帧乘以 N：N 倍（0xFE、0x00、8 位寄存器地址）
   b. 将用于读出寄存器数据的 24 位 SPI 帧乘以 N：N 倍（0xFF、0xFF、0xFF）

步骤 2a 中的 0xFE 可将 ADC 配置为从指定的 8 位地址读取寄存器。在步骤 2a 结束时，ADC 中的输出移位寄存器加载寄存器数据。ADC 在步骤 2b 中返回 8 位寄存器地址和相应的 16 位寄存器数据。

Copyright © 2025 Texas Instruments Incorporated

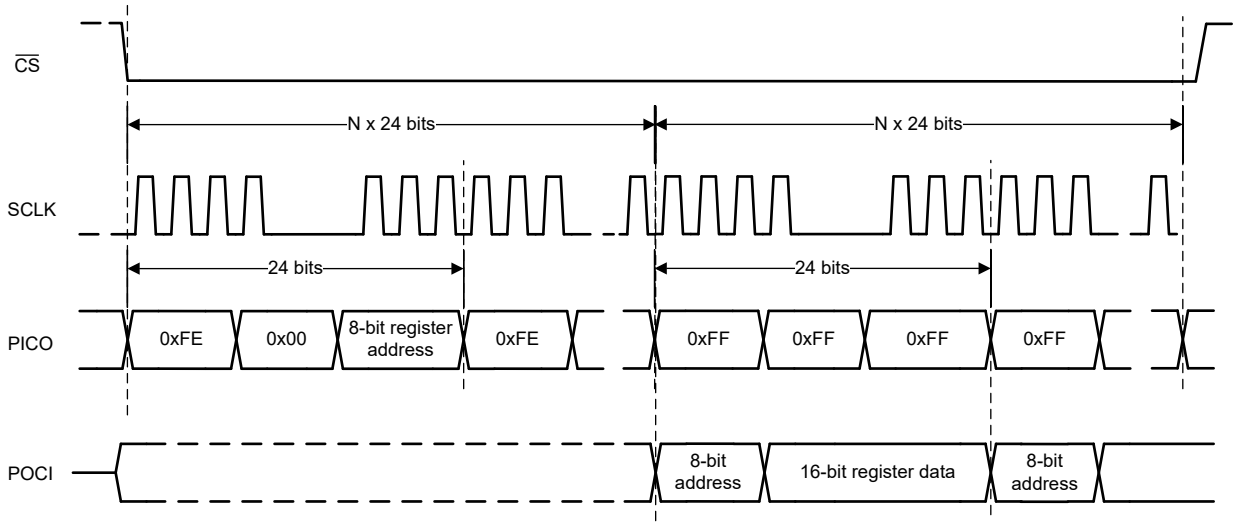


图 6-15. 菊花链配置中的寄存器读取

7 寄存器映射

7.1 寄存器组 0

图 7-1. 寄存器组 0 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
00h	RESERVED													SPI_MODE	SPI_RD_EN	复位
01h	RESERVED									DAISY_CHAIN_LEN					RESERVED	
03h	RESERVED								REG_BANK_SEL							
04h	RESERVED												INIT_1			
06h	REG_00H_READBACK															

表 7-1. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

7.1.2 寄存器 00h (偏移 = 0h) [复位 = 0h]

图 7-2. 寄存器 00h

15	14	13	12	11	10	9	8
RESERVED							
W-0h							
7	6	5	4	3	2	1	0
RESERVED					SPI_MODE	SPI_RD_EN	复位
W-0h					W-0h	W-0h	W-0h

图 7-3. 寄存器 00h 字段说明

位	字段	类型	复位	说明
15-3	RESERVED	W	0h	保留。请勿更改默认复位值。
2	SPI_MODE	W	0h	在配置接口的传统 SPI 模式和菊花链 SPI 模式之间进行选择，以启用寄存器访问。 0：菊花链 SPI 模式 1：传统 SPI 模式
1	SPI_RD_EN	W	0h	在传统 SPI 模式下启用寄存器读取访问。此位在菊花链 SPI 模式下无效。 0：已禁用寄存器读取 1：已启用寄存器读取
0	复位	W	0h	ADC 复位控制。 0：正常器件操作 1：复位 ADC 和所有寄存器

Copyright © 2025 Texas Instruments Incorporated

7.1.3 寄存器 01h（偏移 = 1h）[复位 = 0h]

图 7-4. 寄存器 01h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED	DAISY_CHAIN_LEN					RESERVED	
R/W-0h	R/W-0h					R/W-0h	

图 7-5. 寄存器 01h 字段说明

位	字段	类型	复位	说明
15-7	RESERVED	R/W	0h	保留。请勿更改默认复位值。
6-2	DAISY_CHAIN_LEN	R/W	0h	针对 SPI 配置，配置菊花链中连接的 ADC 数量。 0：1 个 ADC 1：2 个 ADC 31：32 个 ADC
1-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.1.4 寄存器 03h（偏移 = 3h）[复位 = 2h]

图 7-6. 寄存器 03h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
REG_BANK_SEL							
R/W-2h							

图 7-7. 寄存器 03h 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R/W	0h	保留。请勿更改默认复位值。
7-0	REG_BANK_SEL	R/W	2h	选择用于读取和写入操作的寄存器组。 0：选择寄存器组 0 2：选择寄存器组 1 16：选择寄存器组 2

Copyright © 2025 Texas Instruments Incorporated

7.1.5 寄存器 04h（偏移 = 4h）[复位 = 0h]

图 7-8. 寄存器 04h

15	14	13	12	11	10	9	8
RESERVED							
R-0h							
7	6	5	4	3	2	1	0
RESERVED				INIT_1			
R/W-0h							

图 7-9. 寄存器 04h 字段说明

位	字段	类型	复位	说明
3-0	INIT_1	R/W	0h	用于器件初始化的 INIT_1 字段。在初始化序列期间写入 1011b。更多详细信息，请参阅*数据接口*部分。

7.1.6 寄存器 06h（偏移 = 6h）[复位 = 2h]

图 7-10. 寄存器 06h

15	14	13	12	11	10	9	8
REG_00H_READBACK							
R-0h							
7	6	5	4	3	2	1	0
REG_00H_READBACK							
R-5h							

图 7-11. 寄存器 06h 字段说明

位	字段	类型	复位	说明
15-0	REG_00H_READBACK	R	2h	该寄存器是用于读回的寄存器地址 0x00 的副本。寄存器地址 0x00 为只写地址。默认回读值为 2h，因为地址 0x00 中的 SPI_RD_EN 设置为 1，以便读取寄存器。

Copyright © 2025 Texas Instruments Incorporated

7.2 寄存器组 1

图 7-12. 寄存器组 1 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
0Dh	RESERVED		DATA_FORMAT	RESERVED			LAT_INC		GE_CAL_EN1	OSR_EN	OSR				RESERVED	
10h	RESERVED															HI_FREQ
12h	RESERVED												XOR_EN	DATA_LANES		
13h	RESERVED								RAMP_INC				TP_MODE		TP_EN	RESERVED
14h	TP0															
15h	TP1								TP0							
16h	TP1															
1Ch	RESERVED										USER_BITS_ADC_A					
33h	RESERVED		GE_CAL_EN3	RESERVED						GE_CAL_EN2	RESERVED					
34h	RESERVED											LAT_EN	RESERVED			
90h	RESERVED	TS_LD	RESERVED													
91h	RESERVED						TEMPERATURE_SENSOR									
C0h	RESERVED			CLK1	OSR_INIT1		OSR_CLK			RESERVED					PD_CH	
C1h	RESERVED				PD_REF	RESERVED		DATA_RATE	RESERVED							CLK2
C4h	RESERVED										OSR_INIT2		RESERVED		OSR_INIT3	PD_CHIP
C5h	RESERVED		HI_FREQ_EN	RESERVED			CLK3	RESERVED		RD_CLK		RESERVED	CLK4		RESERVED	
FBh	RESERVED												NCO_SYSREF	XOR_MODE	CLK5	MIXER_EN
FCh	NCO_PHASE_COUNT[15:0]															
FDh	NCO_FREQUENCY[7:0]								NCO_PHASE_COUNT[23:16]							
FEh	NCO_FREQUENCY[23:8]															

表 7-2. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

7.2.1 寄存器 0Dh（偏移 = Dh）[复位 = 2002h]

图 7-13. 寄存器 0Dh

15	14	13	12	11	10	9	8
RESERVED		DATA_FORMAT	RESERVED			LAT_INC	
R/W-0h		R/W-1h	R/W-0h			R/W-0h	
7	6	5	4	3	2	1	0
GE_CAL_EN1	OSR_EN	OSR				RESERVED	
R/W-0h	R/W-0h	R/W-0h				R/W-2h	

图 7-14. 寄存器 0Dh 字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R/W	0h	保留。请勿更改默认复位值。
13	DATA_FORMAT	R/W	1h	选择 ADC 转换结果的数据格式。 0：直接二进制格式 1：二进制补码格式
12-10	RESERVED	R/W	0h	保留。请勿更改默认复位值。
9-8	LAT_INC	R/W	0h	对于 ADS9129，将该字段设置为 11b 以获得最佳 INL 性能。
7	GE_CAL_EN1	R/W	0h	增益误差校准的全局控制。 0：禁用增益误差校准 1：启用增益误差校准
6	OSR_EN	R/W	0h	控制数据平均深度。 0：已禁用数据平均 1：已启用数据平均
5-2	OSR	R/W	0h	用于启用数据平均的控制。 0：对 2 个样本取平均值 1：对 4 个样本取平均值 2：对 8 个样本取平均值 3：对 16 个样本取平均值
1-0	RESERVED	R/W	2h	保留。请勿更改默认复位值。

7.2.2 寄存器 10h（偏移 = 10h）[复位 = 0h]

图 7-15. 寄存器 10h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED							RESERVED
R/W-0h							R/W-0h

图 7-16. 寄存器 10h 字段说明

位	字段	类型	复位	说明
15-1	RESERVED	R/W	0h	保留。请勿更改默认复位值。
0	HI_FREQ	R/W	0h	模拟输入快速压摆率控制 0：标称压摆率 1：快速压摆率。启用快速模拟输入控制。推荐用于输入频率 >2MHz 的情况。另请参阅 HI_FREQ_EN 寄存器位。

Copyright © 2025 Texas Instruments Incorporated

7.2.3 寄存器 12h（偏移 = 12h）[复位 = 2h]

图 7-17. 寄存器 12h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED				XOR_EN	DATA_LANES		
R/W-0h				R/W-0h	R/W-2h		

图 7-18. 寄存器 12h 字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R/W	0h	保留。请勿更改默认复位值。
3	XOR_EN	R/W	0h	对 ADC 转换结果启用 XOR 运算。 0：已禁用 XOR 运算 1：默认情况下，ADC 转换结果与 PRBS 位进行逐位异或运算
2-0	DATA_LANES	R/W	2h	选择输出数据通道数和每个输出通道的数据位数。 0：DOUT 上的每个数据输出帧 20 位。 2：DOUT 上的每个数据输出帧 24 位。

Copyright © 2025 Texas Instruments Incorporated

7.2.4 寄存器 13h（偏移 = 13h）[复位 = 0h]

图 7-19. 寄存器 13h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RAMP_INC				TP_MODE		TP_EN	RESERVED
R/W-0h				R/W-0h		R/W-0h	R/W-0h

图 7-20. 寄存器 13h 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R/W	0h	保留。请勿更改默认复位值。
7-4	RAMP_INC	R/W	0h	斜坡图形输出的增量值。输出斜坡递增 N+1，其中 N 是该寄存器中配置的值。
3-2	TP_MODE	R/W	0h	为 ADC 选择数字测试图形。 0：TP0 寄存器中的固定图形 1：TP0 寄存器中的固定图形 2：数字斜坡输出 3：TP0 寄存器和 TP1 寄存器中的交替固定图形输出
1	TP_EN	R/W	0h	启用与 ADC 对应的数据的数字测试图形。 0：数据输出就是 ADC 转换结果 1：数据输出是 ADC 的数字测试图形
0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.2.5 寄存器 14h（偏移 = 14h）[复位 = 0h]

图 7-21. 寄存器 14h

15	14	13	12	11	10	9	8
TP0[15:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0[15:0]							
R/W-0h							

图 7-22. 寄存器 14h 字段说明

位	字段	类型	复位	说明
15-0	TP0[15:0]	R/W	0h	测试图形 0 的低 16 位

Copyright © 2025 Texas Instruments Incorporated

7.2.6 寄存器 15h（偏移 = 15h）[复位 = 0h]

图 7-23. 寄存器 15h

15	14	13	12	11	10	9	8
TP1[7:0]							
R/W-0h							
7	6	5	4	3	2	1	0
TP0[23:16]							
R/W-0h							

图 7-24. 寄存器 15h 字段说明

位	字段	类型	复位	说明
15-8	TP1[7:0]	R/W	0h	测试图形 1 的低八位
7-0	TP0[23:16]	R/W	0h	测试图形 0 的高八位

7.2.7 寄存器 16h（偏移 = 16h）[复位 = 0h]

图 7-25. 寄存器 16h

15	14	13	12	11	10	9	8
TP1[23:8]							
R/W-0h							
7	6	5	4	3	2	1	0
TP1[23:8]							
R/W-0h							

图 7-26. 寄存器 16h 字段说明

位	字段	类型	复位	说明
15-0	TP1[23:8]	R/W	0h	测试图形 1 的高 16 位

Copyright © 2025 Texas Instruments Incorporated

7.2.8 寄存器 1Ch（偏移 = 1Ch）[复位 = 0h]

图 7-27. 寄存器 1Ch

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED		USER_BITS_ADC_A					
R/W-0h		R/W-0h					

图 7-28. 寄存器 1Ch 字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R/W	0h	保留。请勿更改默认复位值。
5-0	USER_BITS	R/W	0h	附加到 ADC 转换结果的用户定义位。

Copyright © 2025 Texas Instruments Incorporated

7.2.9 寄存器 33h（偏移 = 33h）[复位 = 0h]

图 7-29. 寄存器 33h

15	14	13	12	11	10	9	8
RESERVED		GE_CAL_EN3	RESERVED				
R/W-0h		R/W-0h	R/W-0h				
7	6	5	4	3	2	1	0
RESERVED	GE_CAL_EN2	RESERVED					
R/W-0h	R/W-0h	R/W-0h					

图 7-30. 寄存器 33h 字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R/W	0h	保留。请勿更改默认复位值。
13	GE_CAL_EN3	R/W	0h	增益误差校准的全局控制。 0：禁用所有通道的增益误差校准 1：启用所有通道的增益误差校准
12-7	RESERVED	R/W	0h	保留。请勿更改默认复位值。
6	GE_CAL_EN2	R/W	0h	增益误差校准的全局控制。 0：禁用所有通道的增益误差校准 1：启用所有通道的增益误差校准
5-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.2.10 寄存器 34h（偏移 = 34h）[复位 = 0h]

图 7-31. 寄存器 34h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED			LAT_EN	RESERVED			
R/W-0h			R/W-0h	R/W-0h			

图 7-32. 寄存器 34h 字段说明

位	字段	类型	复位	说明
15-5	RESERVED	R/W	0h	保留。请勿更改默认复位值。
4	LAT_EN	R/W	0h	对于 ADS9129，将该字段设置为 11b 以获得最佳 INL 性能。
3-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

Copyright © 2025 Texas Instruments Incorporated

7.2.11 寄存器 90h (偏移 = 90h) [复位 = 0h]

图 7-33. 寄存器 90h

15	14	13	12	11	10	9	8
RESERVED	TS_LD	RESERVED					
R/W-0h	R/W-0h	R/W-0h					
7	6	5	4	3	2	1	0
RESERVED							
R/W-0h							

图 7-34. 寄存器 90h 字段说明

位	字段	类型	复位	说明
15	RESERVED	R/W	0h	保留。请勿更改默认复位值。
14	TS_LD	R/W	0h	触发以在地址 0x91 中加载温度传感器输出。如果该位触发数据加载操作，则从 0 转换为 1。
13-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

7.2.12 寄存器 91h (偏移 = 91h) [复位 = 00h]

图 7-35. 寄存器 91h

15	14	13	12	11	10	9	8
RESERVED						TEMPERATURE_SENSOR	
R/W-0h						R/W-0h	
7	6	5	4	3	2	1	0
TEMPERATURE_SENSOR							
R/W-0h							

图 7-36. 寄存器 91h 字段说明

位	字段	类型	复位	说明
15-10	RESERVED	R/W	0h	保留。请勿更改默认复位值。
9-0	TEMPERATURE_SENSOR	R/W	0h	10 位温度传感器输出。请参阅*温度传感器*部分。

Copyright © 2025 Texas Instruments Incorporated

7.2.13 寄存器 C0h（偏移 = C0h）[复位 = 0h]

图 7-37. 寄存器 C0h

15	14	13	12	11	10	9	8
RESERVED			CLK1	OSR_INIT1		OSR_CLK	
R/W-0h			R/W-0h	R/W-0h	R/W-0h	R/W-0h	
7	6	5	4	3	2	1	0
OSR_CLK	RESERVED					PD_CH	
R/W-0h	R/W-0h					R/W-0h	

图 7-38. 寄存器 C0h 字段说明

位	字段	类型	复位	说明
15-13	RESERVED	R/W	0h	保留。请勿更改默认复位值。
12	CLK1	R/W	0h	根据输出数据通道选择时钟配置。有关更多详细信息，请参阅 *数据接口* 节。 0：DATA_LANES = 0 或 2 的配置 1：不推荐
11-10	OSR_INIT1	R/W	0h	初始化数据平均。 0：禁用数据平均的配置 1：启用数据平均的配置
9-7	OSR_CLK	R/W	0h	用于数据平均的数据输出时钟配置。有关更多详细信息，请参阅表 6-3。
6-2	RESERVED	R/W	0h	保留。请勿更改默认复位值。
1-0	PD_CH	R/W	0h	模拟输入通道的断电控制。 0：正常运行 1：ADC 已断电 2：无效 3：ADC 已断电

Copyright © 2025 Texas Instruments Incorporated

7.2.14 寄存器 C1h（偏移 = C1h）[复位 = 0h]

图 7-39. 寄存器 C1h

15	14	13	12	11	10	9	8
RESERVED				PD_REF	RESERVED		DATA_RATE
R/W-0h				R/W-0h	R/W-0h		R/W-0h
7	6	5	4	3	2	1	0
RESERVED							CLK2
R/W-0h							R/W-0h

图 7-40. 寄存器 C1h 字段说明

位	字段	类型	复位	说明
15-12	RESERVED	R/W	0h	保留。请勿更改默认复位值。
11	PD_REF	R/W	0h	ADC 基准电压源选择。 0：已启用内部基准。 1：已禁用内部基准。将外部基准电压连接至 REFIO 引脚。
10-9	RESERVED	R/W	0h	保留。请勿更改默认复位值。
8	DATA_RATE	R/W	0h	为数据接口选择数据速率。 0：双倍数据速率 (DDR) 1：单倍数据速率 (SDR)
7-1	RESERVED	R/W	0h	保留。请勿更改默认复位值。
0	CLK2	R/W	0h	为数据接口选择数据速率。更多详细信息，请参阅*数据接口*部分。 0：DATA_LANES = 2 或 7 的配置

7.2.15 寄存器 C4h（偏移 = C4h）[复位 = 0h]

图 7-41. 寄存器 C4h

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED		OSR_INIT2		RESERVED		OSR_INIT3	PD_CHIP
R/W-0h		R/W-0h		R/W-0h		R/W-0h	R/W-0h

图 7-42. 寄存器 C4h 字段说明

位	字段	类型	复位	说明
15-6	RESERVED	R/W	0h	保留。请勿更改默认复位值。
5-4	OSR_INIT2	R/W	0h	初始化数据平均。 0：禁用数据平均的配置 2：启用数据平均的配置
3-2	RESERVED	R/W	0h	保留。请勿更改默认复位值。
1	OSR_INIT3	R/W	0h	初始化数据平均。 0：禁用数据平均的配置 1：启用数据平均的配置
0	PD_CHIP	R/W	0h	完全芯片断电控制。 0：正常器件操作 1：器件完全断电

Copyright © 2025 Texas Instruments Incorporated

7.2.16 寄存器 C5h（偏移 = C5h）[复位 = 0h]

图 7-43. 寄存器 C5h

15	14	13	12	11	10	9	8
RESERVED		HI_FREQ_EN	RESERVED			CLK3	RESERVED
R/W-0h		R/W-0h	R/W-0h			R/W-0h	R/W-0h
7	6	5	4	3	2	1	0
RESERVED	RD_CLK		RESERVED	CLK4		RESERVED	
R/W-0h	R/W-0h		R/W-0h	R/W-0h		R/W-0h	

图 7-44. 寄存器 C5h 字段说明

位	字段	类型	复位	说明
15-14	RESERVED	R/W	0h	保留。请勿更改默认复位值。
13	HI_FREQ_EN	R/W	0h	启用快速模拟输入压摆率。 0：标称压摆率， 1：启用快速模拟输入控制。推荐用于输入频率 >2MHz 的情况。另请参阅 HI_FREQ 寄存器位。
12-10	RESERVED	R/W	0h	保留。请勿更改默认复位值。
9	CLK3	R/W	0h	为数据接口选择数据速率。有关更多详细信息，请参阅 *数据接口* 节。 0：DATA_LANES = 0 或 2 的配置
8 - 7	RESERVED	R/W	0h	保留。请勿更改默认复位值。
6-5	RD_CLK	R/W	0h	用于数据平均的数据输出时钟控制。更多详细信息，请参阅 *数据平均* 部分。
4	RESERVED	R/W	0h	保留。请勿更改默认复位值。
3 - 2	CLK4	R/W	0h	ADS9127 的时钟配置。如需了解详细信息，請參阅*数据接口*部分。不适用于 ADS9129 和 ADS9128。 0：24 位模式 3：所有其他模式
1 - 0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

Copyright © 2025 Texas Instruments Incorporated

7.2.17 寄存器 FBh（偏移 = FBh）[复位 = 0h]

图 7-45. 寄存器 FBh

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
RESERVED				NCO_SYSREF	XOR_MODE	CLK5	MIXER_EN
R/W-0h				R/W-0h	R/W-0h	R/W-0h	R/W-0h

图 7-46. 寄存器 FBh 字段说明

位	字段	类型	复位	说明
15-4	RESERVED	R/W	0h	保留。请勿更改默认复位值。
3	NCO_SYSREF	R/W	0h	在 SMPL_SYNC 引脚上施加周期性脉冲时设置为 1b。 0：将 NCO 与 SMPL_SYNC 引脚上的一个脉冲同步。 1：使用周期性脉冲时，使 NCO 与 SMPL_SYNC 引脚上的第一个脉冲同步。
2	XOR_MODE	R/W	0h	启用 XOR 输出模式时，选择与 ADC 输出数据进行 XOR 运算的位。 0：在 ADC LSB 之后输出 PRBS 位。ADC 输出数据与 PRBS 位进行 XOR 运算。 1：ADC 输出数据与转换结果的 LSB 进行 XOR 运算。
1	CLK5	R/W	0h	ADS9129 和 ADS9128 的时钟配置。如需了解详细信息，請参阅*数据接口*部分。不适用于 ADS9127。 0：24 位 SDR 和 DDR 模式 1：不推荐
0	MIXER_EN	R/W	0h	0：禁用数字下变频器 1：启用数字下变频器

Copyright © 2025 Texas Instruments Incorporated

7.2.18 FCh 寄存器（偏移 = FCh）[复位 = 0h]

图 7-47. 寄存器 FCh

15	14	13	12	11	10	9	8
NCO_PHASE_COUNT							
R/W-0h							
7	6	5	4	3	2	1	0
NCO_PHASE_COUNT							
R/W-0h							

图 7-48. 寄存器 FCh 字段说明

位	字段	类型	复位	说明
15-0	NCO_PHASE_COUNT[15:0]	R/W	0h	NCO 相位计数的低 15 位。请参阅*数字下变频器*部分。

7.2.19 寄存器 FDh（偏移 = FDh）[复位 = 0h]

图 7-49. 寄存器 FDh

15	14	13	12	11	10	9	8
NCO_FREQUENCY							
R/W-0h							
7	6	5	4	3	2	1	0
NCO_PHASE_COUNT							
R/W-0h							

图 7-50. 寄存器 FDh 字段说明

位	字段	类型	复位	说明
15-8	NCO_FREQUENCY[7:0]	R/W	0h	NCO 相位计数的低八位。请参阅*数字下变频器*部分。
7-0	NCO_PHASE_COUNT[23:16]	R/W	0h	NCO 相位计数的高八位。请参阅*数字下变频器*部分。

Copyright © 2025 Texas Instruments Incorporated

7.2.20 寄存器 FEh（偏移 = FEh）[复位 = 0h]

图 7-51. 寄存器 FEh

15	14	13	12	11	10	9	8
NCO_FREQUENCY							
R/W-0h							
7	6	5	4	3	2	1	0
NCO_FREQUENCY							
R/W-0h							

图 7-52. 寄存器 FEh 字段说明

位	字段	类型	复位	说明
15-0	NCO_FREQUENCY	R/W	0h	NCO 相位计数的高 16 位。请参阅*数字下变频器*部分。

Copyright © 2025 Texas Instruments Incorporated

7.3 寄存器组 2

图 7-53. 寄存器组 2 映射

ADD	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0
1Ch	RESERVED								CLK6		RESERVED					

表 7-3. 寄存器段/块访问类型代码

访问类型	代码	说明
R	R	读取
W	W	写入
R/W	R/W	读取或写入
复位或默认值		
-n		复位后的值或默认值

7.3.1 寄存器 1Ch (偏移 = 1Ch) [复位 = 0h]

图 7-54. 寄存器 1Ch

15	14	13	12	11	10	9	8
RESERVED							
R/W-0h							
7	6	5	4	3	2	1	0
CLK6		RESERVED					
R/W-0h		R/W-0h					

图 7-55. 寄存器 1Ch 字段说明

位	字段	类型	复位	说明
15-8	RESERVED	R/W	0h	保留。请勿更改默认复位值。
7-6	CLK6	R/W	0h	ADS9127 的时钟配置。如需了解详细信息，請参阅*数据接口*部分。不适用于 ADS9129 和 ADS9128。 0：24 位 2 通道模式 3：所有其他模式
5-0	RESERVED	R/W	0h	保留。请勿更改默认复位值。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

ADS912x 具有集成 ADC 驱动器、低延迟、高速、低交流和直流误差以及低温漂。这些特性使 ADS912x 成为高性能信号链，适用于需要低延时精确测量的应用。下一节提供了在数据采集 (DAQ) 系统中使用 ADS912x 器件系列的示例电路和建议。

8.2 典型应用

8.2.1 ≤20kHz 的输入信号带宽的数据采集 (DAQ) 电路

图 8-1 显示了一个具有最少外部元件的信号链。该信号链通过使用全差分放大器 (FDA) THS4551 驱动 ADS912x，显著减小了解决方案尺寸。

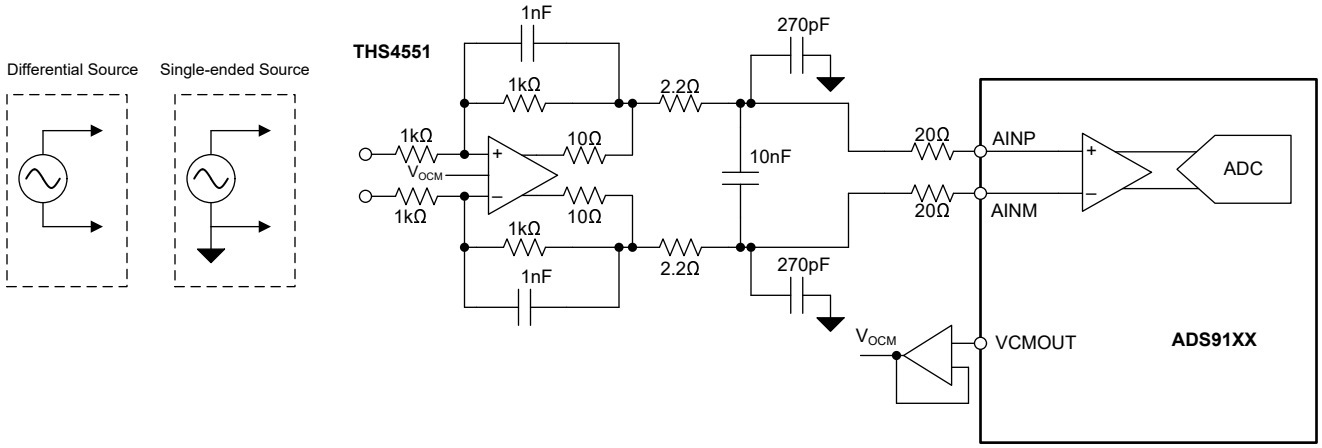


图 8-1. ≤20kHz 的输入信号带宽的数据采集 (DAQ) 电路

8.2.1.1 设计要求

表 8-1 列出了此典型应用的参数。

表 8-1. 设计参数

参数	值
SNR	≥ 92dB
THD	≤ –110dB
输入信号频率	≤ 20kHz

8.2.1.2 详细设计过程

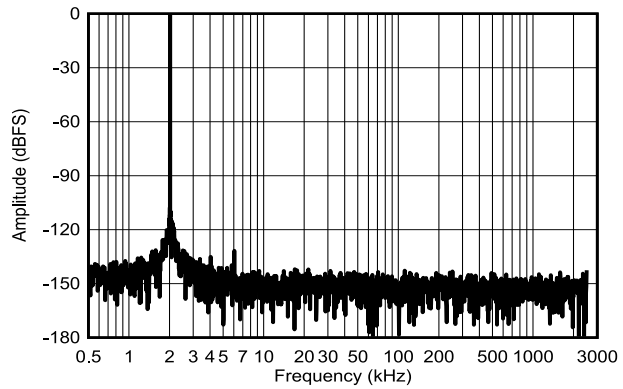
本节讨论的过程可用于任何 ADS912x 应用电路。

- 所有 ADS912x 应用都需要 *电源相关建议* 节中提供的电源去耦。
- 确保 *典型应用* 节中给出的值满足最大吞吐量和输入信号频率设计要求。当需要较低的噪声性能时，请使用较低带宽的信号链。

8.2.1.3 应用曲线

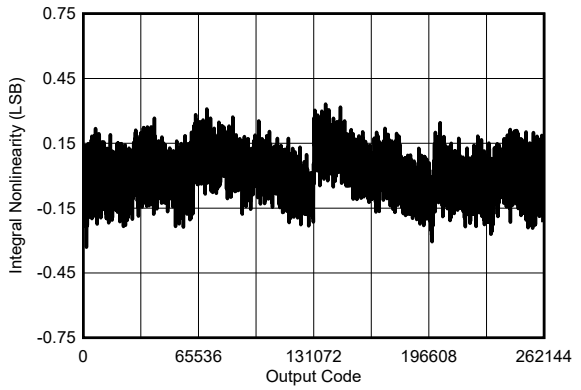
图 8-2 和图 8-3 分别展示了图 8-1 中电路的 SNR 和 INL 性能。

Copyright © 2025 Texas Instruments Incorporated



f_{IN} = 2kHz，SNR = 93.8dBFS，THD = –130dB

图 8-2. 5MSPS 时的典型 FFT：ADS9127



f_{IN} = 2kHz，INL = ±0.5LSB

图 8-3. 5MSPS 时的典型 INL：ADS9127

8.2.2 ≤100kHz 的输入信号带宽的数据采集 (DAQ) 电路

图 8-4 显示了一个具有最少外部元件的信号链。该信号链通过使用全差分放大器 (FDA) THS4551 驱动 ADS912x，显著减小了解决方案尺寸。

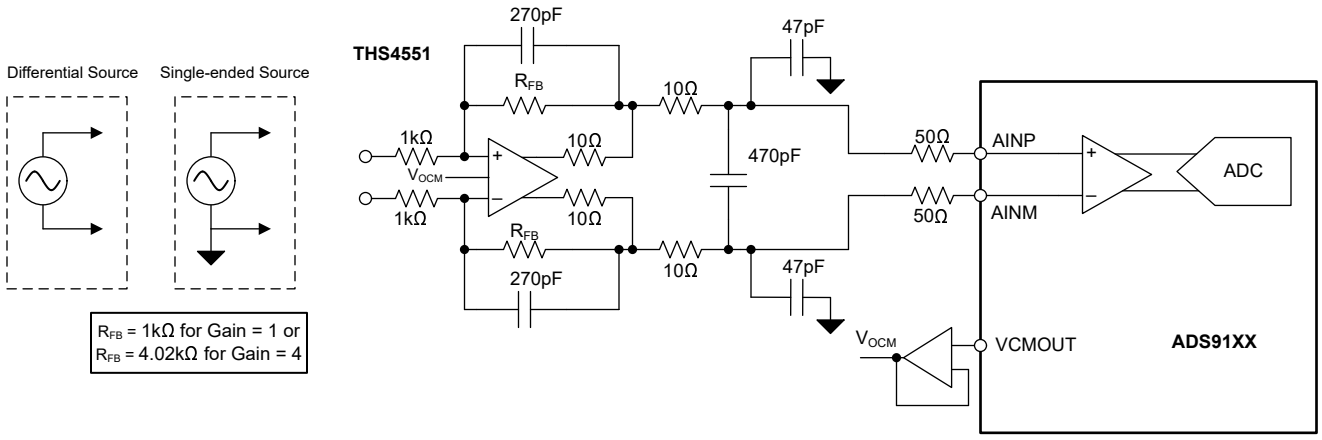


图 8-4. ≤100kHz 的输入信号带宽的数据采集 (DAQ) 电路

8.2.2.1 设计要求

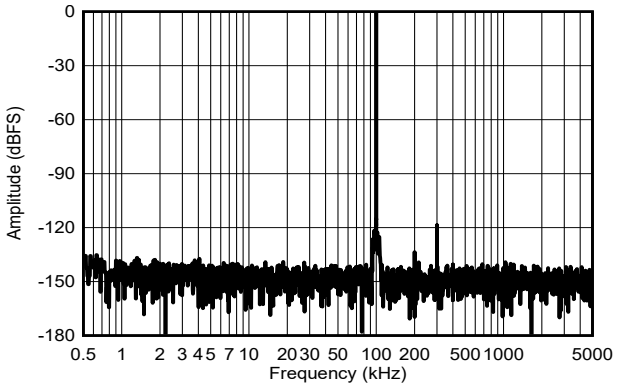
表 8-2 列出了此典型应用的参数。

表 8-2. 设计参数

参数	值
SNR	≥ 91dB
THD	≤ –110dB
输入信号频率	≤ 100kHz

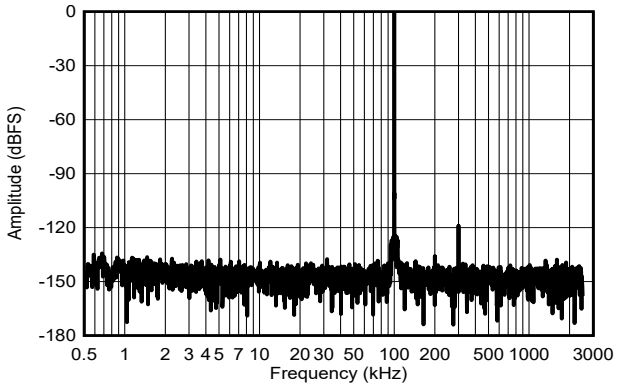
8.2.2.2 应用曲线

图 8-5 和图 8-6 展示了图 8-4 中电路的 FFT 图。



f_{IN} = 100kHz，SNR = 93.8dBFS，THD = –118.2dB

图 8-5. 10MSPS 时的典型 FFT：ADS9128



f_{IN} = 100kHz，SNR = 93.6dBFS，THD = –120dB

图 8-6. 5MSPS 时的典型 FFT：ADS9127

Copyright © 2025 Texas Instruments Incorporated

8.2.3 ≤1MHz 的输入信号带宽的数据采集 (DAQ) 电路

图 8-7 显示了一个具有最少外部元件的解决方案。该信号链通过使用 THS4541 驱动 ADS9129，显著减小了信号链尺寸，从而在宽信号带宽上以低功耗实现了低失真性能。

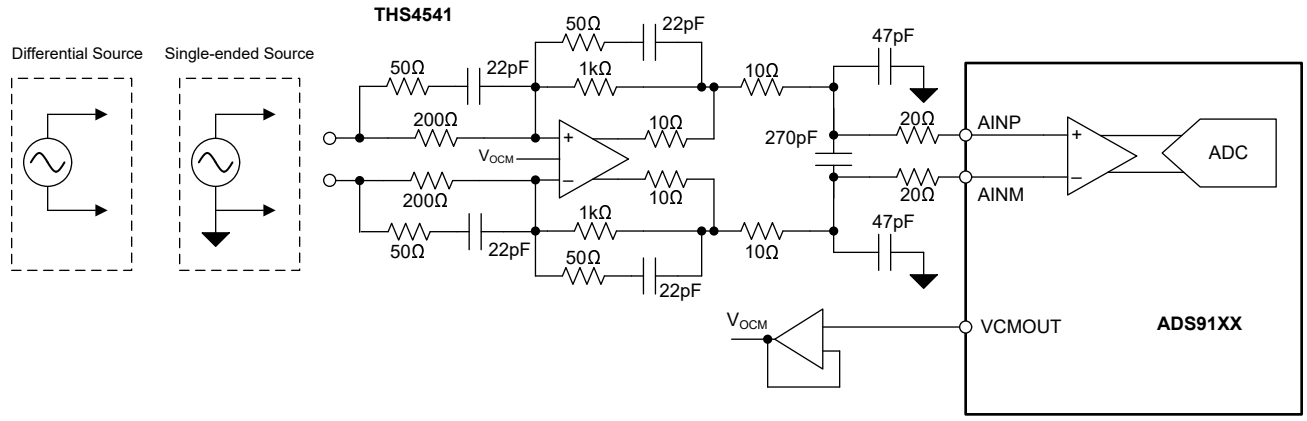


图 8-7. ≤1MHz 的输入信号带宽的数据采集 (DAQ) 电路

8.2.3.1 设计要求

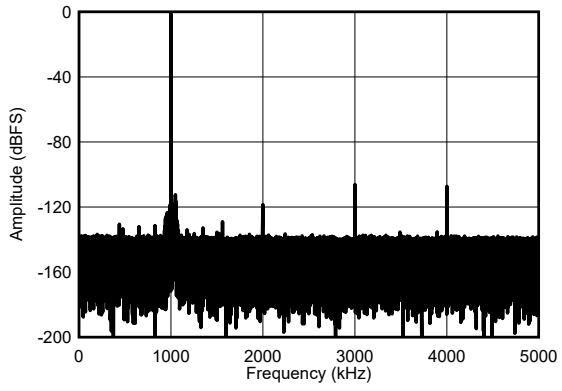
表 8-3 列出了此典型应用的参数。

表 8-3. 设计参数

参数	值
SNR	≥ 80dB
THD	≤ –100dB
输入信号频率	≤ 1MHz

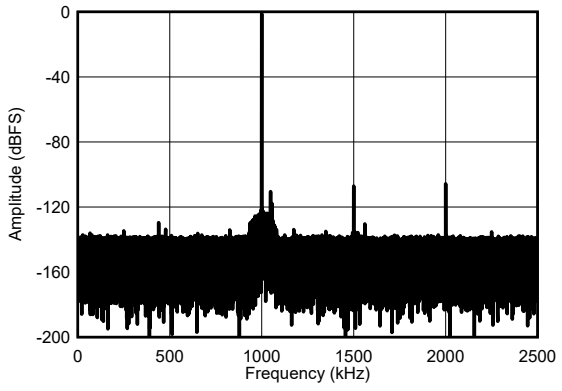
8.2.3.2 应用曲线

图 8-8 和图 8-9 展示了图 8-7 中电路的 FFT 图。



f_{IN} = 1MHz，SNR = 93.2dB，THD = –104dB

图 8-8. 10MSPS 时的典型 FFT：ADS9128



f_{IN} = 1MHz，SNR = 93.3dB，THD = –104.2dB

图 8-9. 5MSPS 时的典型 FFT：ADS9127

Copyright © 2025 Texas Instruments Incorporated

8.3 电源相关建议

ADS912x 具有两个独立电源：AVDD_5V 和 VDD_1V8。AVDD_5V 电源为 ADC 驱动器供电。VDD_1V8 电源为模拟电路和数字接口供电。AVDD_5 和 VDD_1V8 电源可以独立设置为允许范围内的电压。图 8-10 显示了如何对电源进行去耦。

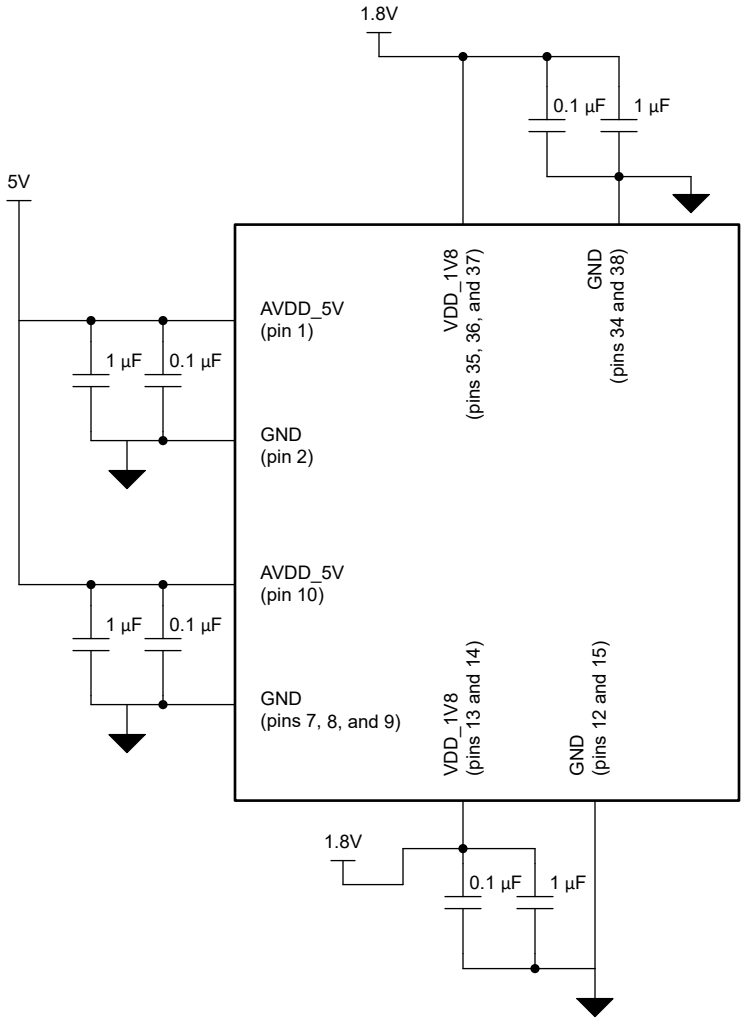


图 8-10. 电源去耦

Copyright © 2025 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

图 8-11 显示了 ADS912x 的电路板布局布线示例。避免数字线路与模拟信号路径交叉，并使模拟输入信号和基准信号远离噪声源。在靠近模拟电源引脚（AVDD_5V 和 VDD_1V8）和数字电源引脚 (VDD_1V8) 的位置使用 0.1 µF 陶瓷旁路电容器。避免在电源引脚和旁路电容器之间放置过孔。将基准去耦电容器放置在靠近器件的 REFIO 引脚和 REFM 引脚的位置。避免在 REFIO 引脚和旁路电容器之间放置过孔。使用较短的低阻抗路径将 GND 引脚和 REFM 引脚连接到接地层。

8.4.2 布局示例

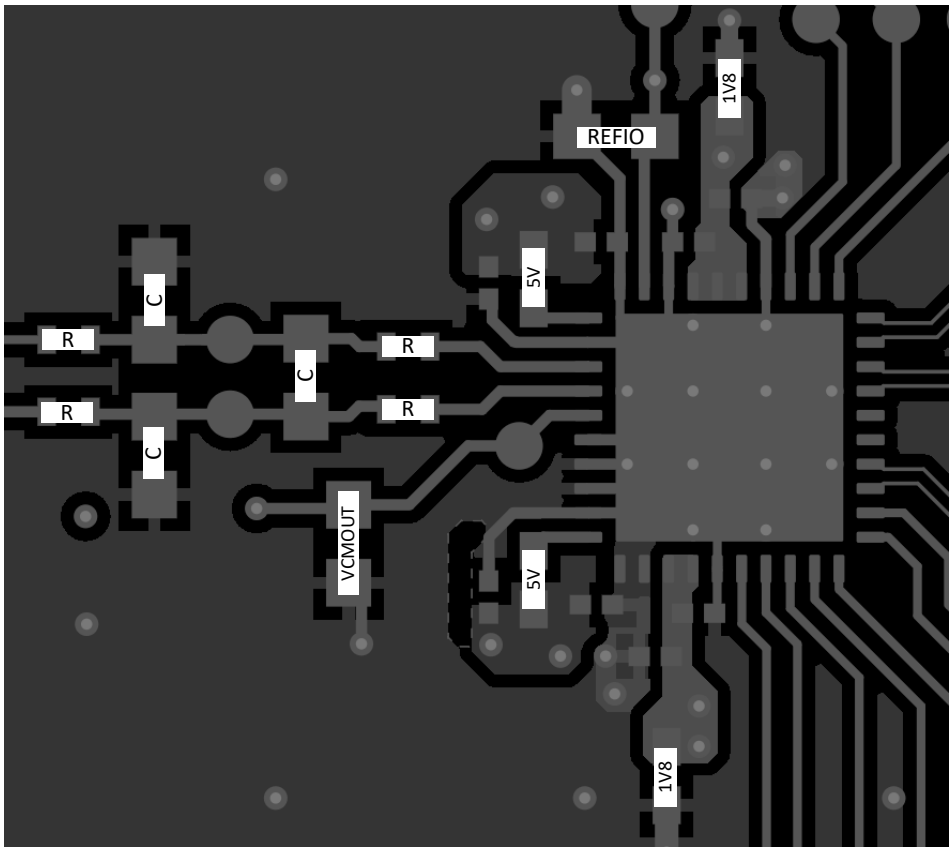


图 8-11. 示例布局

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*REF70，最大温漂为 2ppm/°C，噪声为 0.23ppm$_{p-p}$ 1/f，精密电压基准数据表*
- 德州仪器 (TI)，*THS4551 低噪声、高精度 150MHz 全差分放大器 数据表*
- 德州仪器 (TI)，*THS4541 负轨输入、轨到轨输出、850MHz 全差分精密放大器 数据表*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2025	*	初始发行版

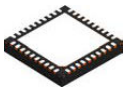
11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

11.1 机械数据

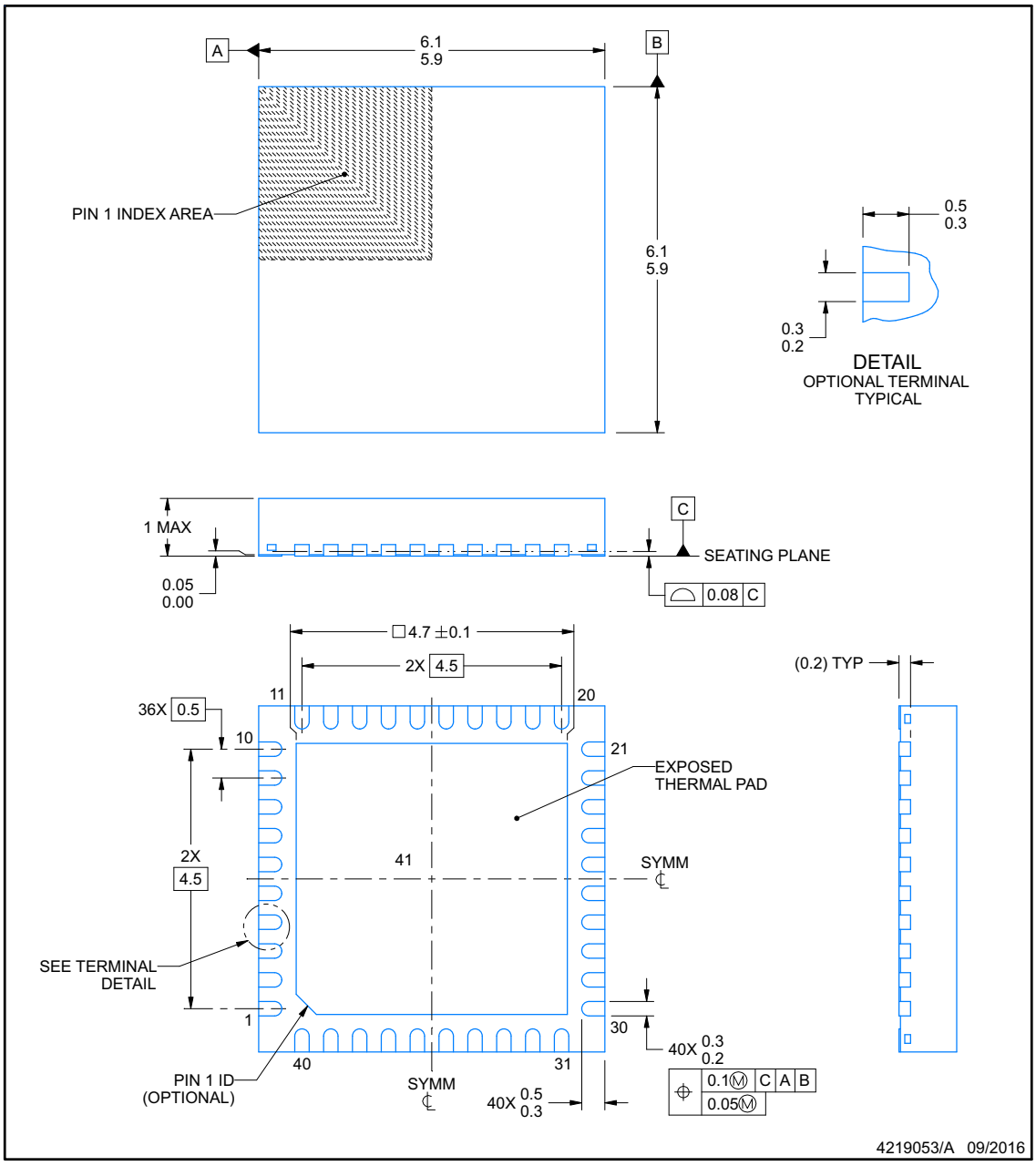
RHA0040C



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

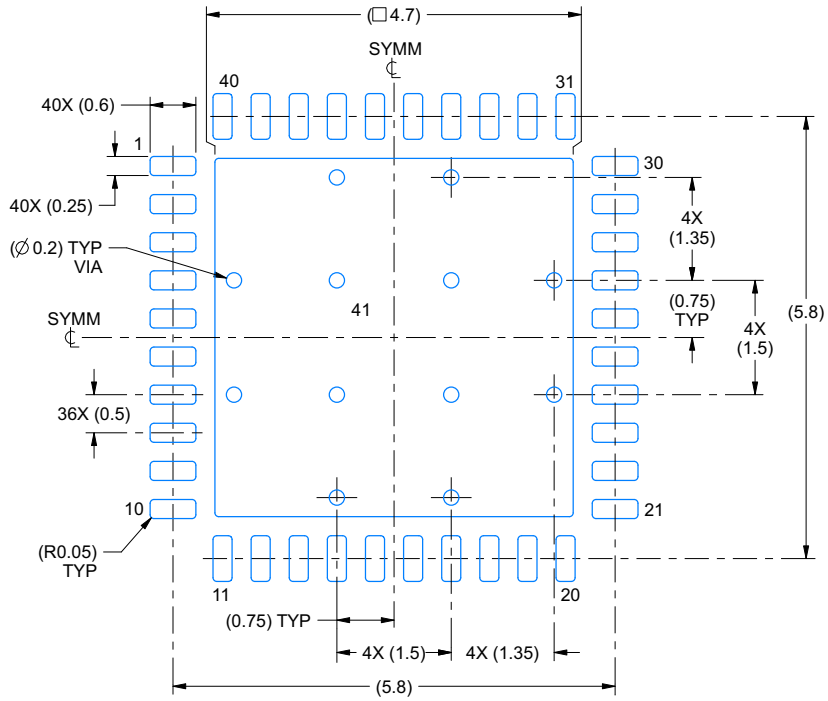
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

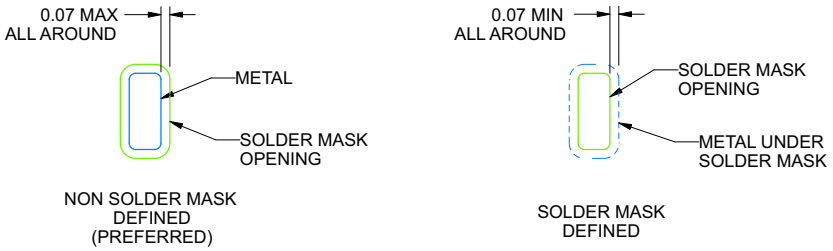
RHA0040C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:12X



SOLDER MASK DETAILS

4219053/A 09/2016

NOTES: (continued)

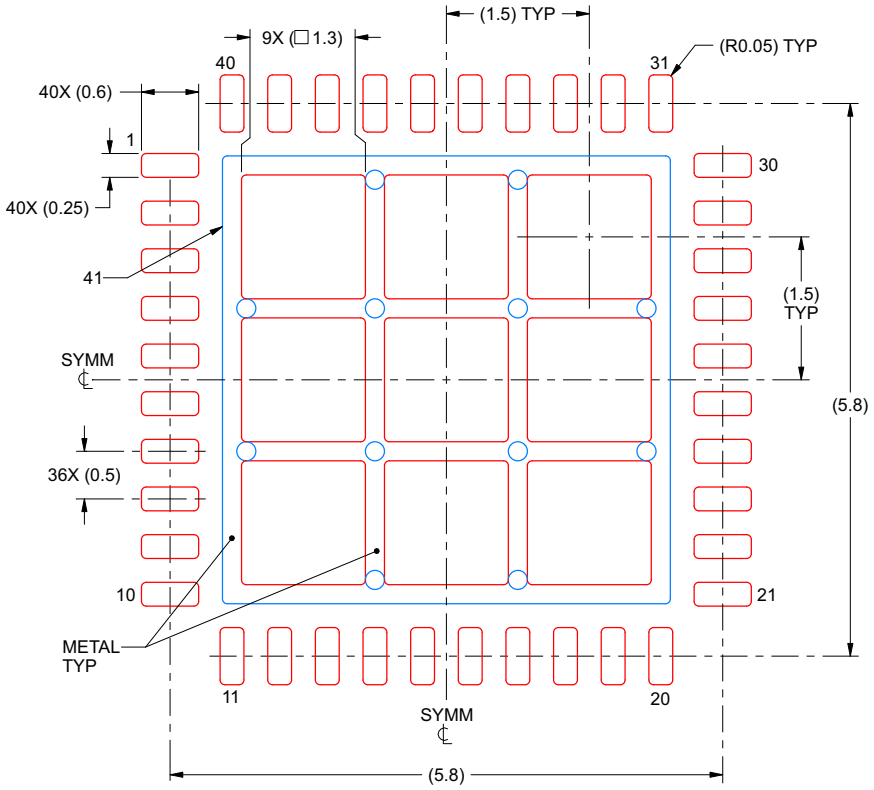
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RHA0040C — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
69% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219053/A 09/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ADS9127RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9127
ADS9128RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9128
ADS9129RHAR	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ADS9129

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

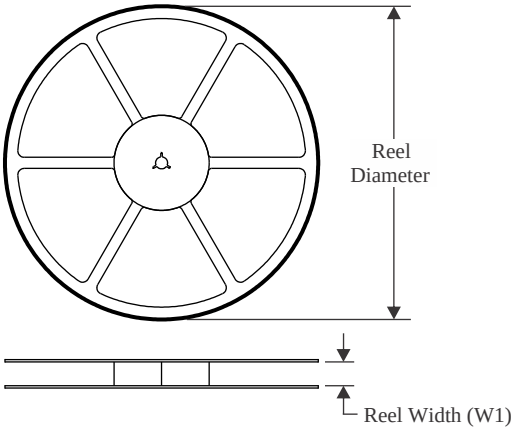
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

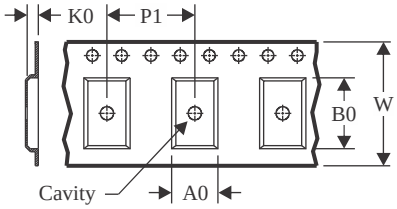
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

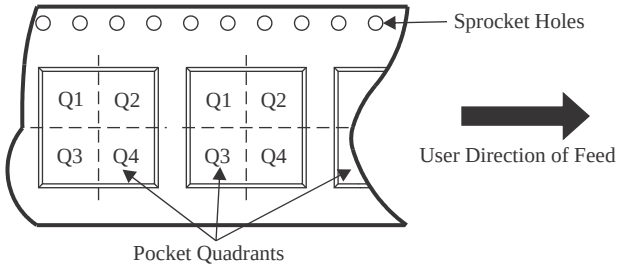


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

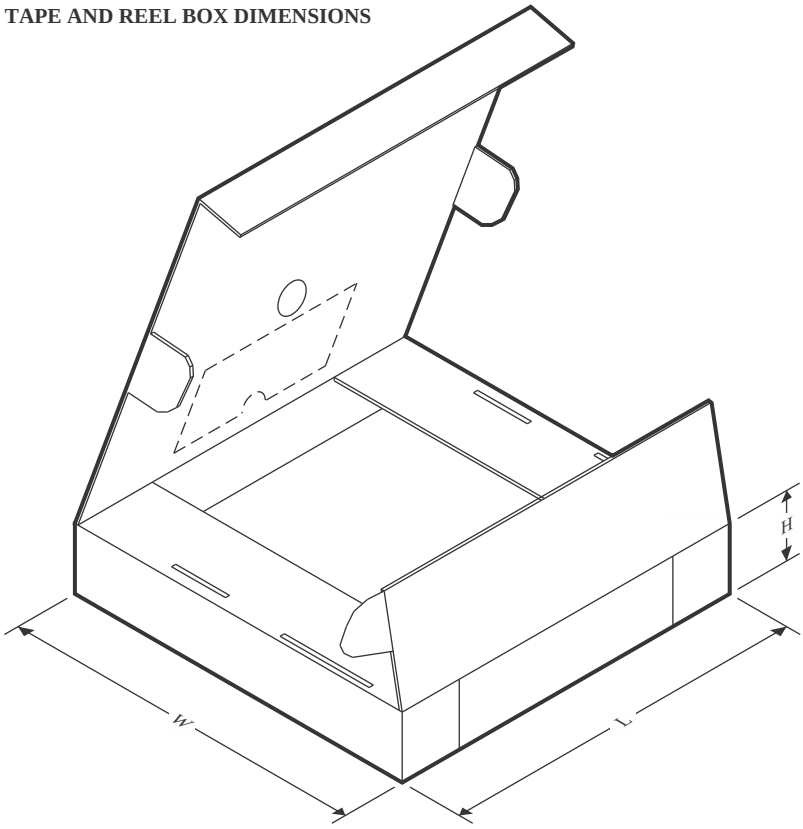
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ADS9127RHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
ADS9128RHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
ADS9129RHAR	VQFN	RHA	40	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

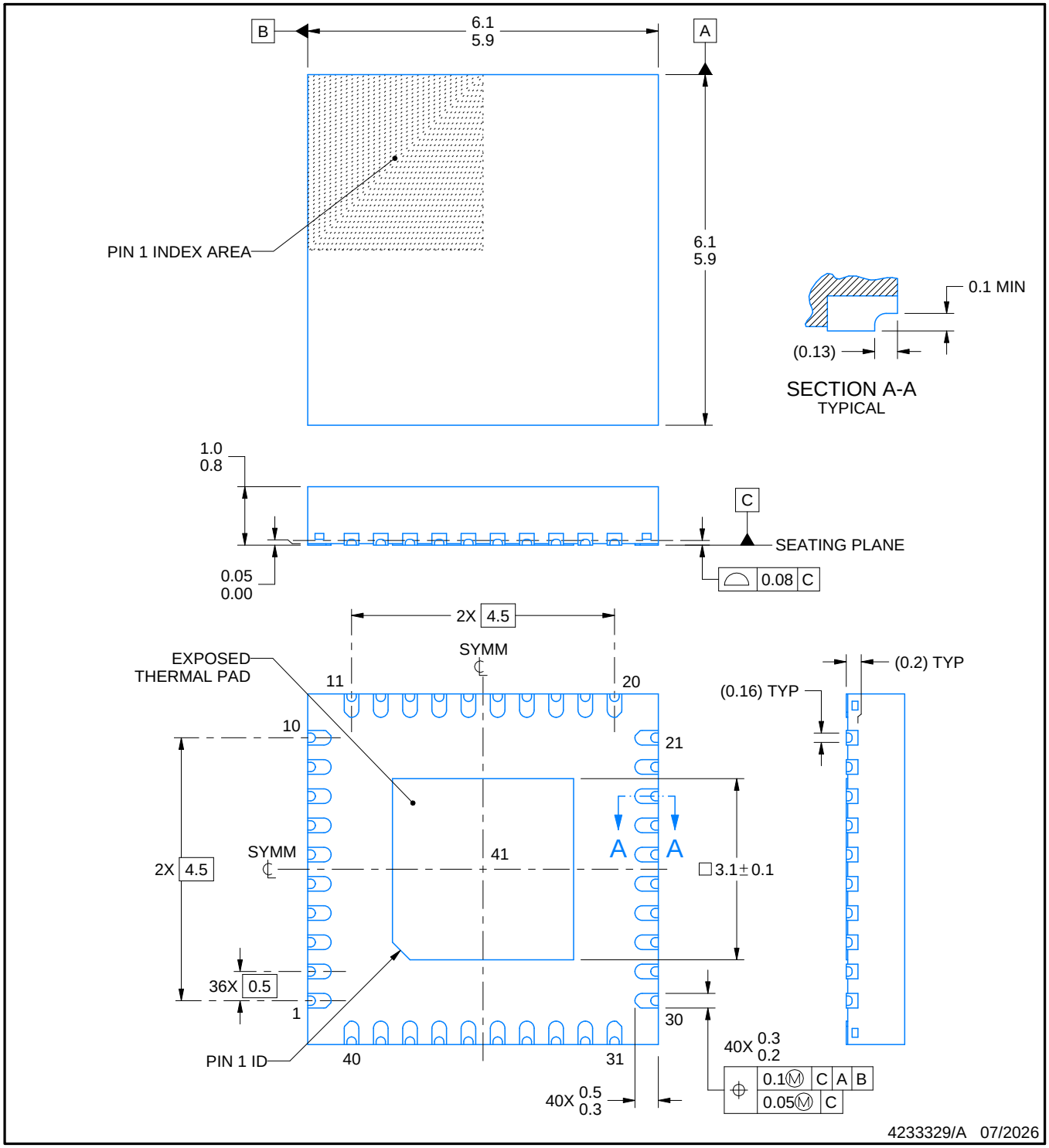
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ADS9127RHAR	VQFN	RHA	40	2500	360.0	360.0	36.0
ADS9128RHAR	VQFN	RHA	40	2500	360.0	360.0	36.0
ADS9129RHAR	VQFN	RHA	40	2500	360.0	360.0	36.0

PACKAGE OUTLINE

RHA0040Y

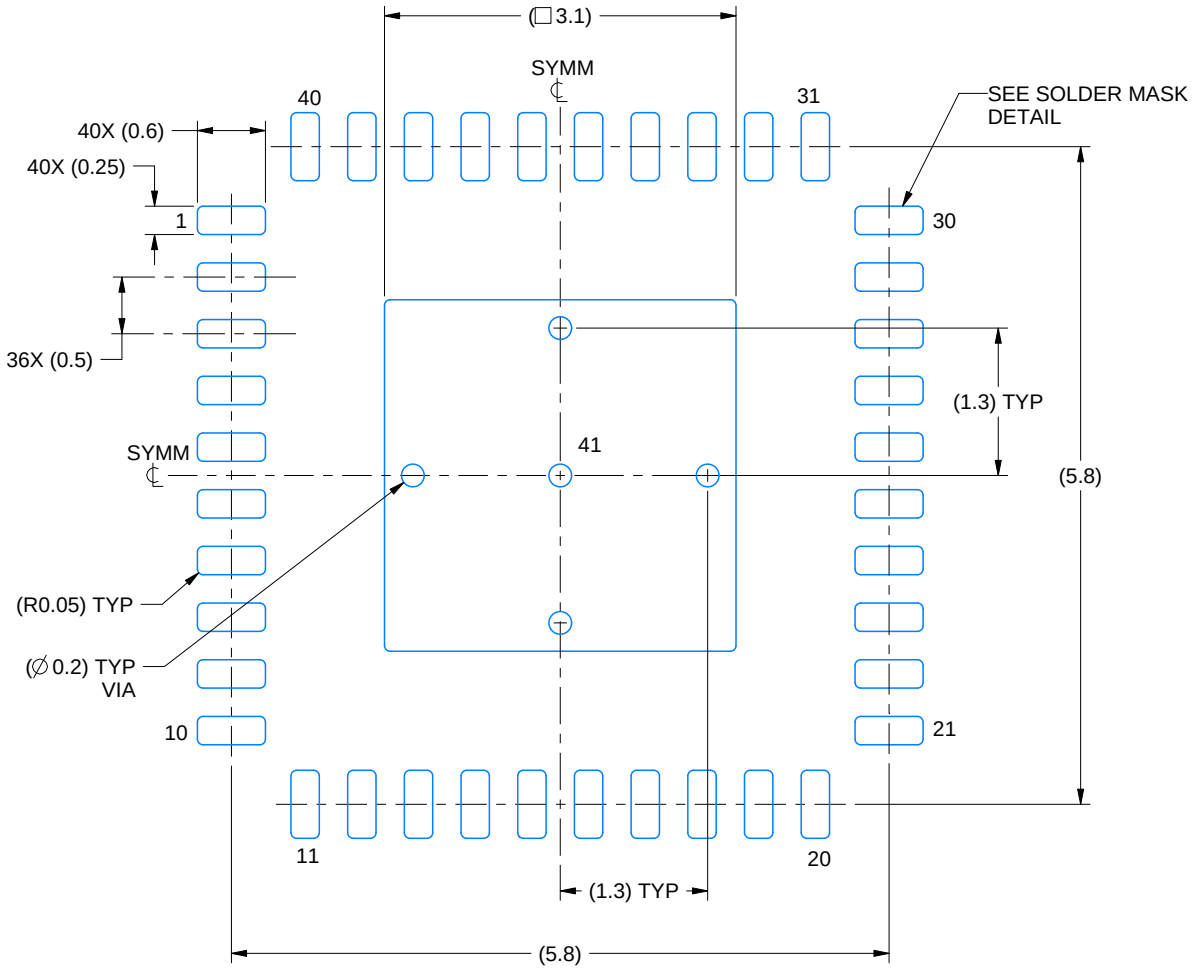
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

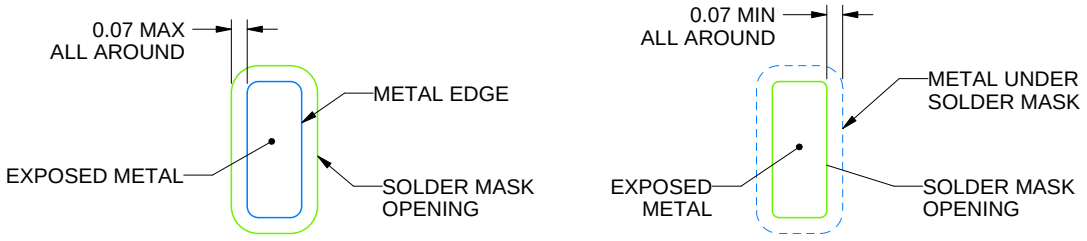


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4233329/A 07/2026

NOTES: (continued)

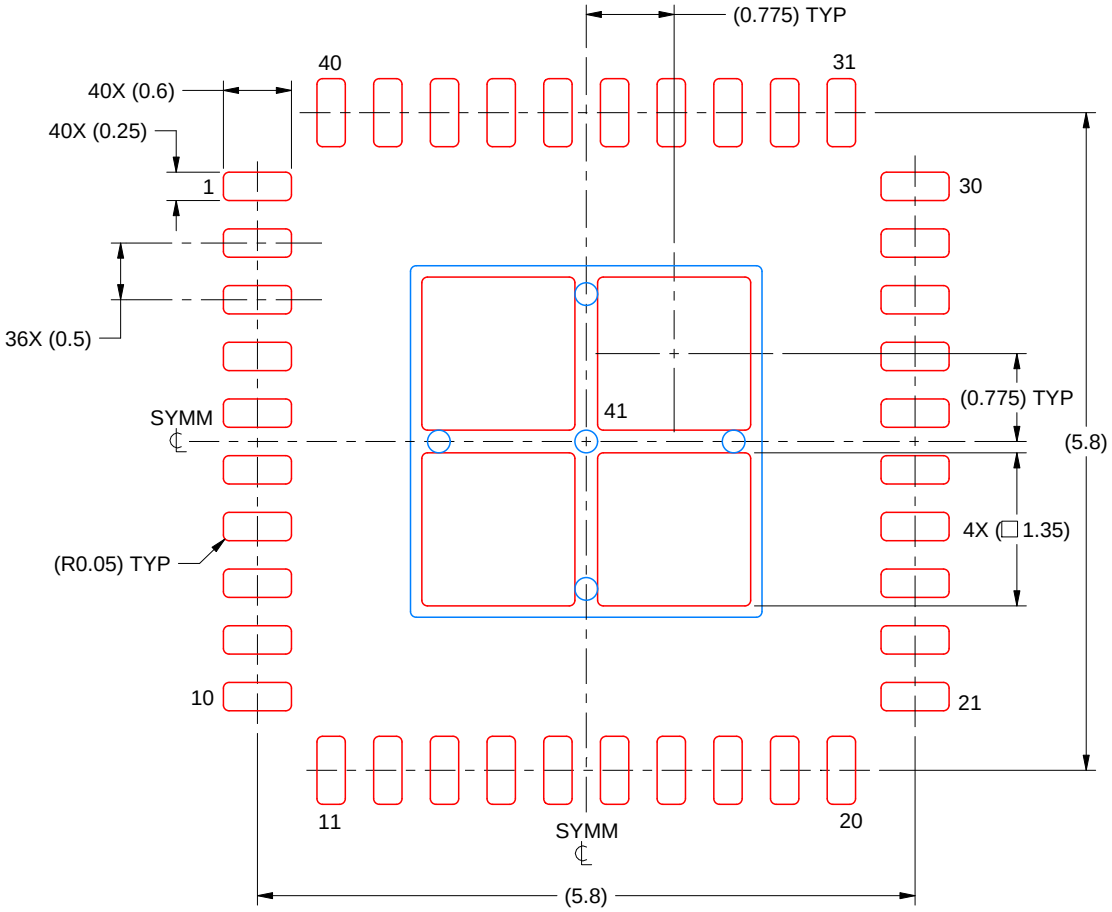
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHA0040Y

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 41
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4233329/A 07/2026

NOTES: (continued)

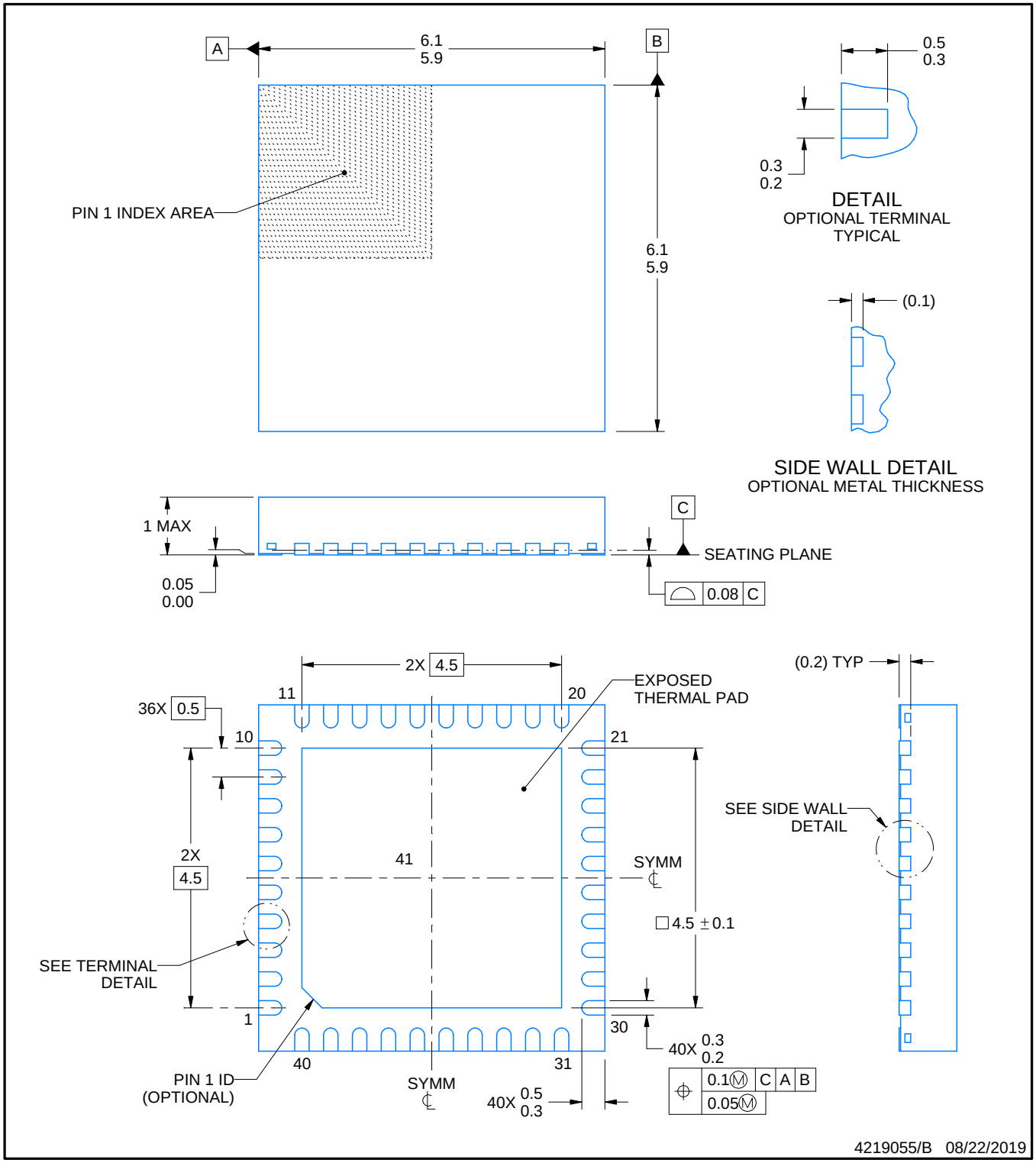
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

RHA0040H

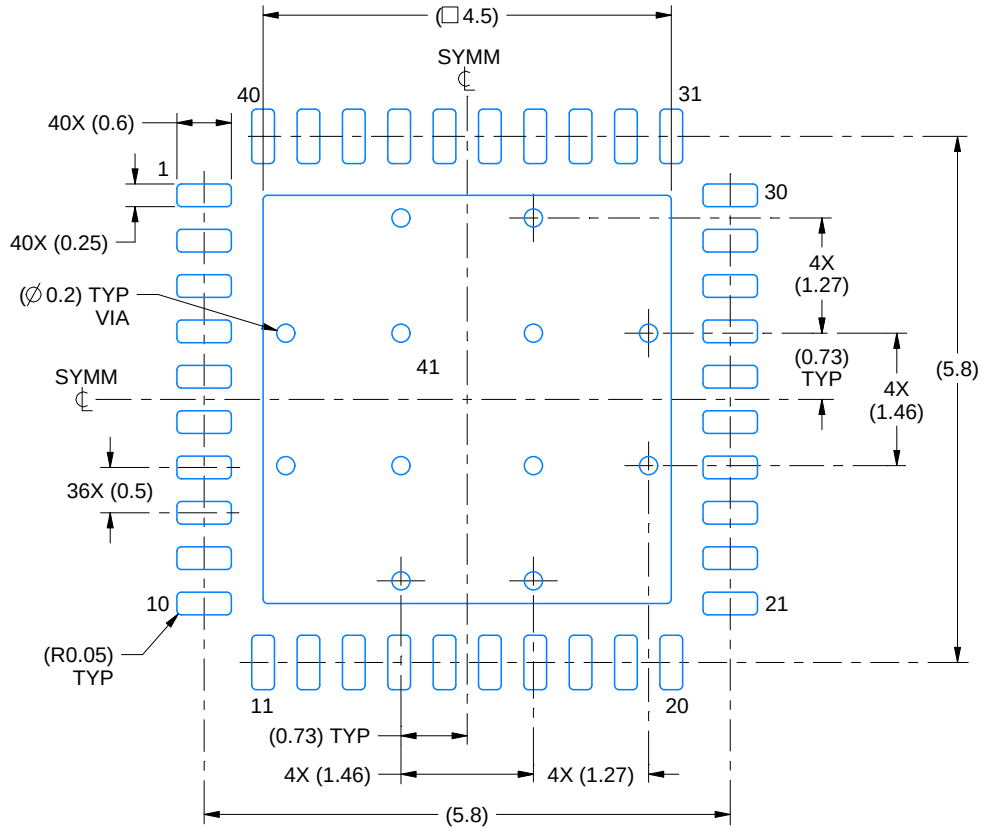
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

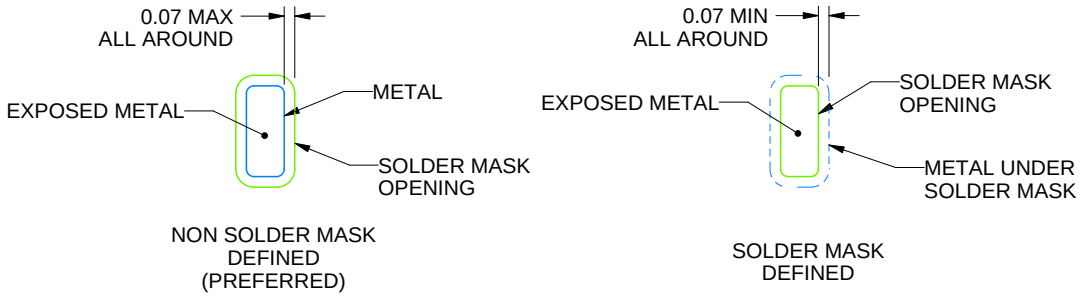


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X

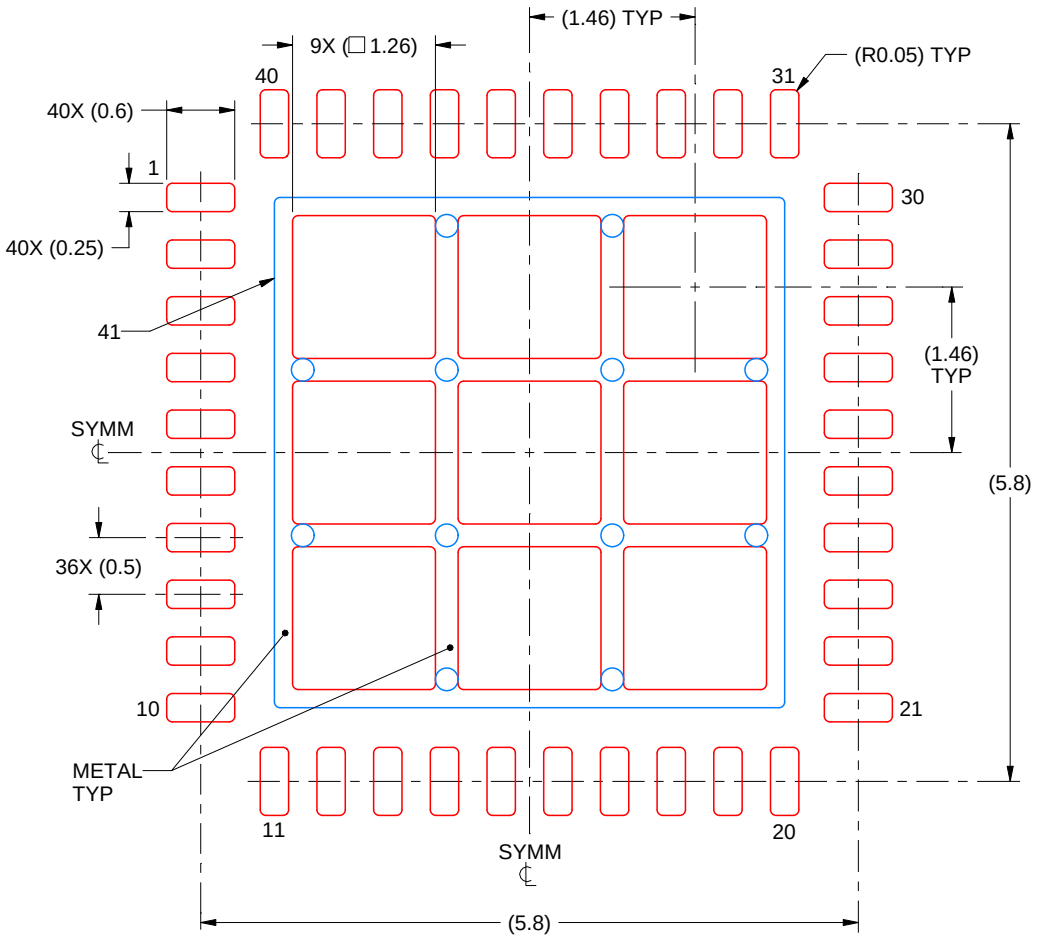


SOLDER MASK DETAILS

4219055/B 08/22/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
70% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219055/B 08/22/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

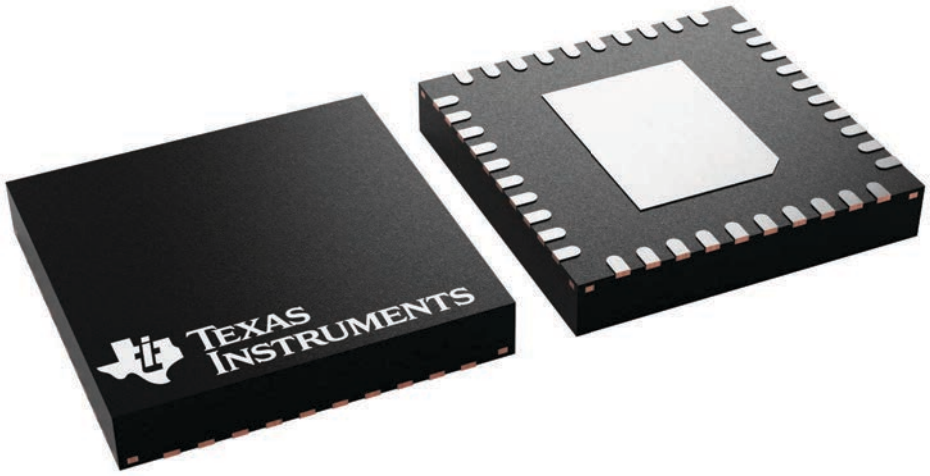
RHA 40

VQFN - 1 mm max height

6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



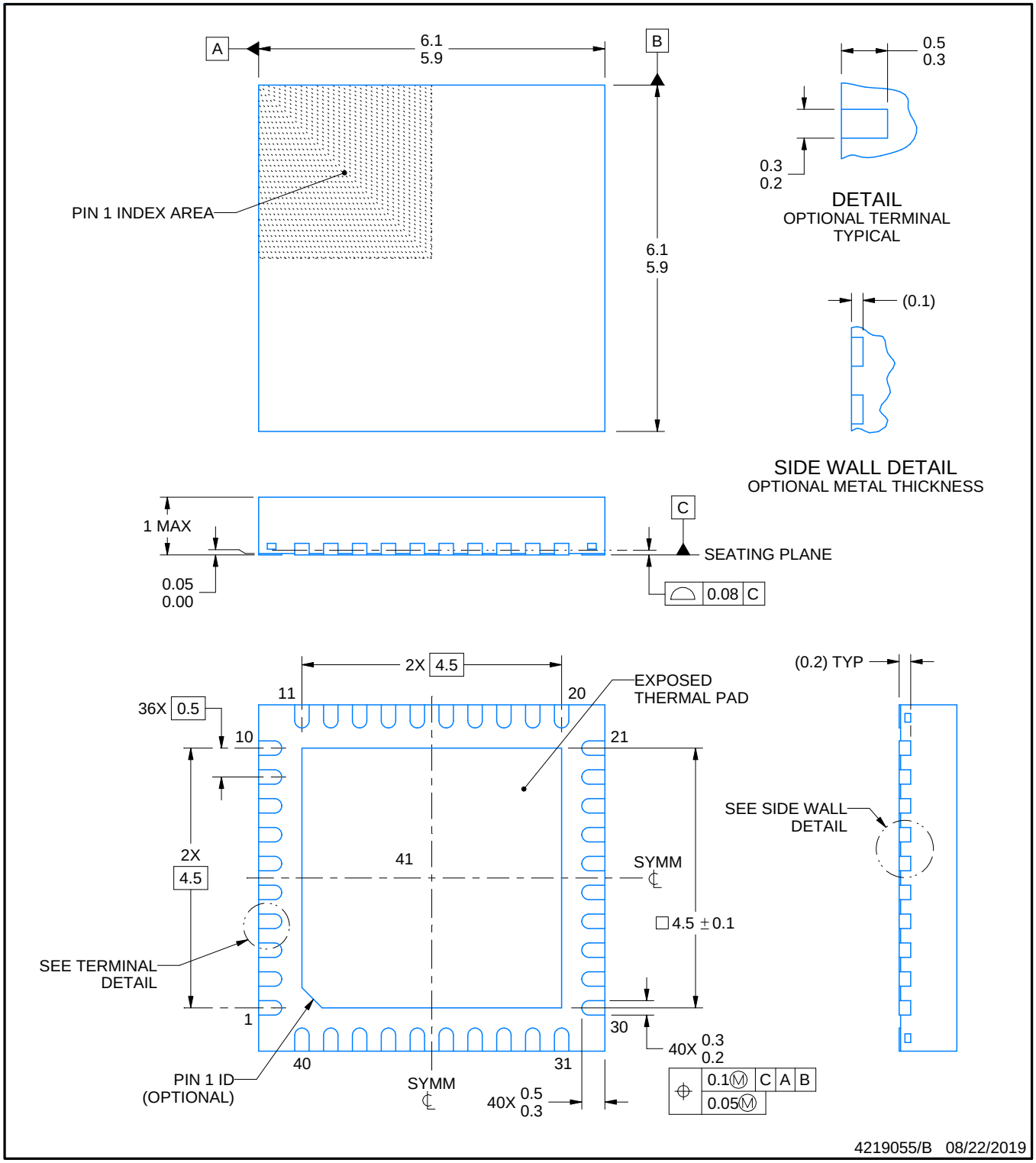
4225870/A

PACKAGE OUTLINE

RHA0040H

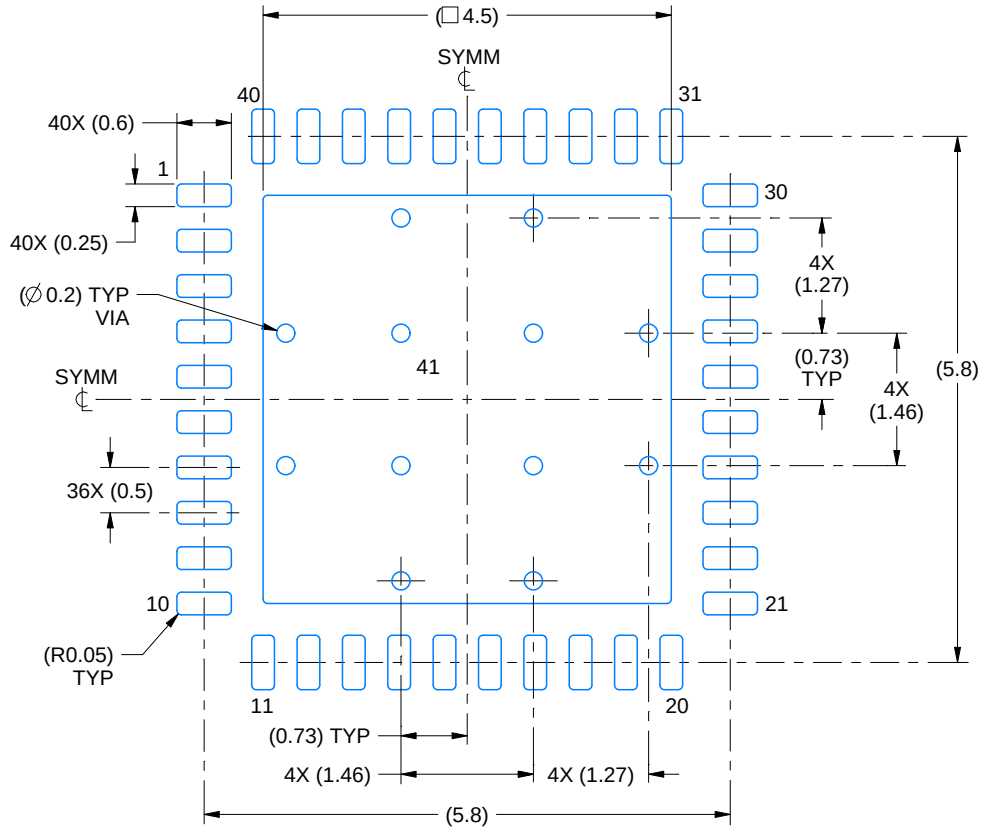
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

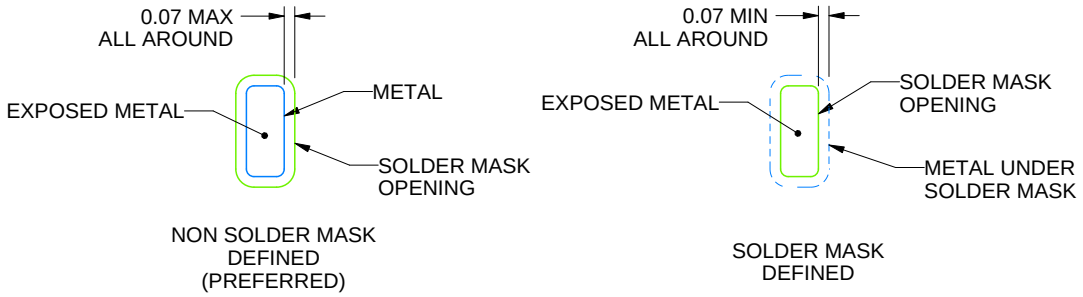


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X

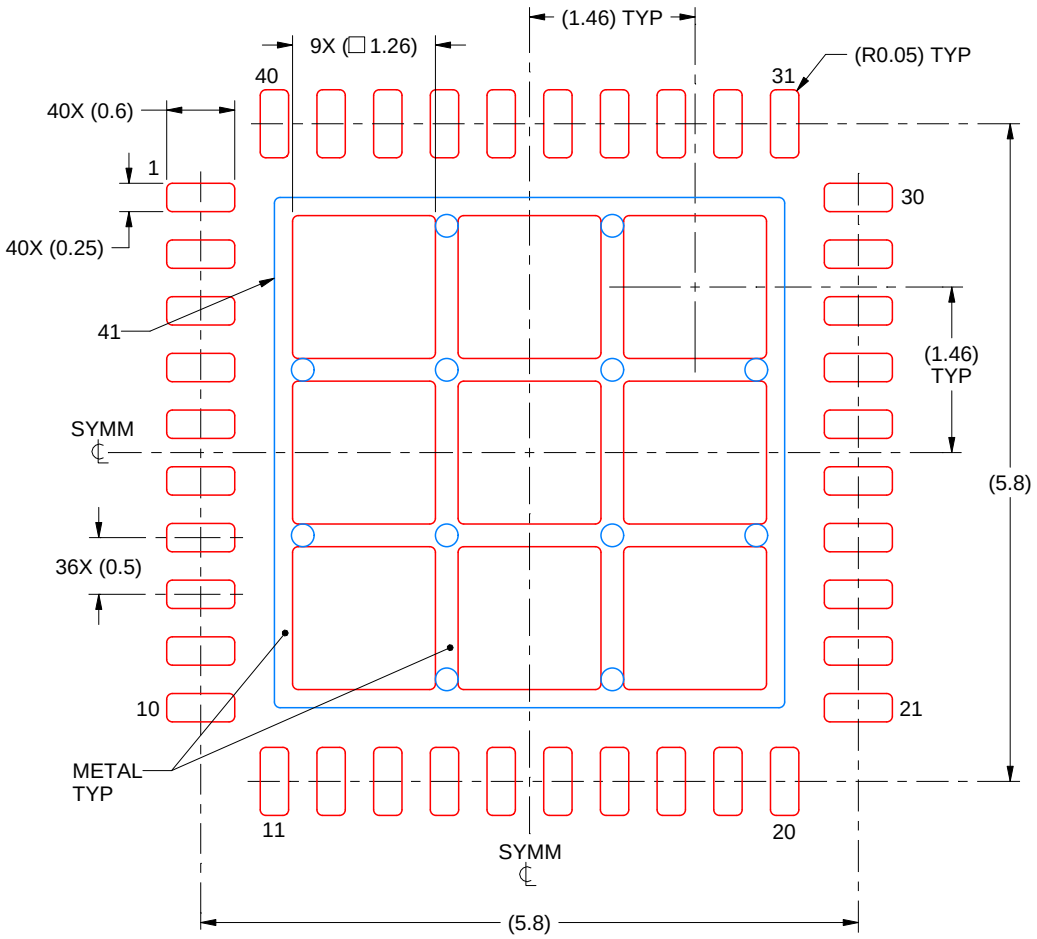


SOLDER MASK DETAILS

4219055/B 08/22/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 41:
70% PRINTED SOLDER COVERAGE BY AREA
SCALE:15X

4219055/B 08/22/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月