安路科技 AL3S10 FPGA

数据手册

DS101（v2.0）2019 年 4 月

Confidential

目 录

目 录 I

1 简介 1

1.1 AL3S10 器件特性 1

1.2 AL3S10 器件介绍 3

2 AL3S10 架构介绍 4

3 AL3S10 交直流特性 4

4 AL3S10 内部 SDRAM 4

5 引脚和封装 7

5.1 引脚定义 7

5.2 AL3S10LG144 FPGA 引脚列表 8

5.3 AL3S10NG88 FPGA 引脚列表 12

5.4 AL3S10LG144 封装尺寸 15

5.5 AL3S10NG88 封装尺寸 16

6 订购信息 17

7 版本信息 19

免责声明 19

1 简介

1.1 AL3S10 器件特性

- **灵活的逻辑结构**
  - 8640 LUTs.
- **低功耗器件**
  - 先进的 65nm 低功耗工艺
  - 静态功耗低至 4mA
- **丰富的片内存储空间**
  - 48 块 9Kb 嵌入式 RAM ,2 块 32Kb 嵌入式 RAM
  - 64Mb SDRAM 存储空间
  - 最大 66.5Kb 分布式 RAM
- **可配置逻辑模块(PLBs)**
  - 优化的 LUT4/LUT5 组合设计
  - 双端口分布式存储器
  - 支持算数逻辑运算
  - 快速进位链逻辑
- **嵌入式乘法器**
  - 3 个 18 x 18 乘法器，支持 9X9 模式
  - 最高 250MHz
- **高性能，灵活的输入/输出缓冲器**
  - 可配置支持以下单端标准
  - LVTTL
  - LVCMOS (3.3/2.5/1.8V/1.5/1.2V)
  - PCI
  - SSTL 3.3V and 2.5V (Class I and II)
  - SSTL 1.8V and 1.5V (Class I)
  - HSTL 1.8V and 1.5V (Class I)
  - 通过配置支持以下差分标准
  - LVDS，Bus-LVDS，MLVDS，RSDS，LVPECL
  - 支持热插拔
  - 可配置上拉/下拉模式
  - 片内 100 欧姆差分电阻
- **时钟资源**
  - 16 个全局时钟
  - 2 个 PLLs 用于频率综合
  - 5 路时钟输出
  - 分频系数 1 到 128
  - 支持 5 路时钟输出级联
  - 动态相位选择
- **配置模式**
  - 主模式串行 PROM (MS)
  - 主模式串行 SPI (MSPI)
  - 从模式串行 (SS)
  - 主模式并行 x8 (MP)
  - 从模式并行 x8 (SP)
  - JTAG 模式 (IEEE-1532)
- **BSCAN**
  - 兼容 IEEE-1149.1

■ 封装

- TQFP144
- QFN88

表 1-1- 1 AL3 FPGA 系列成员

General feature	AL3S10LG144	AL3S10NG88
Number of FFs	8,640	8,640
Number of LUTS	8,640	8,640
Number of Dis-Ram bits	69,120	69,120
Number of ERAM (9k)	48	48
Number of ERAM (32k)	2	2
Total EBR bits	507,904	507,904
Number of M18x18	3	3
Total Configuration SRAM (bits)	2,198,020	2,198,020
PLL	2	2
Low-skew GCLK	16	16
EM SDRAM	2Mx32bits	2Mx32bits
User IO Banks	8	1
Maximum user IOs	111	60

表 1-1- 2 AL3S10 FPGA 封装

Packages	AL3S10LG144	AL3S10NG88
LQFP144 (18x18, 0.4mm pitch)	111/24+18	
QFN88 (10x10, 0.4mm pitch)		60/8+7

注：表示用户可用 IO 数/用户可用差分输出（LVDS）对

1.2 AL3S10 器件介绍

安路科技的 AL3S10 FPGA，是基于安路科技成熟可靠的低成本、低功耗可编程 FPGA—AL3A10，采用最新的 3D 合封技术，与一块 2M X 32bits 的 SDRAM 合封而成。AL3S10 FPGA 拥有更小，更简单可靠的器件封装，更大的内嵌存储容量，特别适用于大容量，高速数据的采集、传输和变换等应用。

特色优势

- 多品种，大容量的内置存储空间
  - 内置 64Mb SDRAM 存储空间，32 位数据总线宽度，最高 200Mhz 工作频率，最大读写带宽高达 800MB/s
  - 内置 48 块 ERAM9K 随机读写 RAM，可配置为真双口，简单双口,单口 RAM 和 FIFO 工作模式，位宽可配置为 512x18, 1Kx9, 2Kx4, 4Kx2, 8Kx1, 最高频率 250Mhz
  - 内置 2 块 32Kb RAM，可配置为单口 RAM,双口 RAM，可独立配置为 2Kx16 或者 4Kx8
- 更小封装，更多 IO, 更利于 PCB 布线的引脚排布
  - HLQFP144 封装，EPAD 接地，多达 111 个通用 IO，4 个可复用 IO
  - QFN88 封装，EPAD 接地，多达 60 个通用 IO，4 个可复用 IO
  - 最多支持 16 对 True LVDS，最高频率 600Mbps
  - HLQFP144 封装为 0.4mm 引脚间距，18mm X 18mm
  - QFN88 封装为 0.4mm 引脚间距，10mm X 10mm
  - 只需要 1.2V，3.3V 两组电压供电
  - 优化的引脚排布，使得只需要两层 PCB 即可轻松使用器件所有 IO
  - 支持简单低成本的 SPI FLASH 配置；上电配置后，FLASH 可作为用户使用。

2 AL3S10 架构介绍

同 AL3A10，详情请参考 AL3 数据手册

3 AL3S10 交直流特性

同 AL3A10，详情请参考 AL3 数据手册

4 AL3S10 内部 SDRAM

AL3S10 内嵌一片 2M x 32bit 的 SDRAM（EM638325GD），最高 200Mhz 工作频率，最大读写带宽高达 800MB/s。SDRAM 与 FPGA 通过软件深度整合，所以如果要使用 SDRAM，只需要在 IP generate 中例化，或者在顶层实例化如下 IP 模块即可。该 IP 的原型如下：

```
AL_PHY_SDRAM_2M_32   U_AL_PHY_SDRAM_2M_32(
                        .clk(SD_CLK),          // SDRAM 时钟 1bit 位宽
                        .ras_n(SD_RAS_N),      // SDRAM 行选通 1bit 位宽
                        .cas_n(SD_CAN_N),      //SDRAM 列选通 1bit 位宽
                        .we_n(SD_WE_N),        //SDRAM 写使能 1bit 位宽
                        .addr(SD_SA),          //SDRAM 地址 11bits 位宽
                        .ba(SD_BA),            // SDRAM BANK 地址 2bits 位宽
                        .dq(SD_DQ),            //SDRAM 数据 32bits 位宽
                        .dm(1'b0)              //SDRAM 数据屏蔽 1bit 位宽
);
```

表 4-1 SDRAM 引脚分配

SDRAM 引脚名称	SDRAM 引脚描述	引脚连接
DQ0	数据脚 0	与 IP 相连
DQ1	数据脚 1	与 IP 相连
DQ2	数据脚 2	与 IP 相连
DQ3	数据脚 3	与 IP 相连
DQ4	数据脚 4	与 IP 相连

DQ5	数据脚 5	与 IP 相连
DQ6	数据脚 6	与 IP 相连
DQ7	数据脚 7	与 IP 相连
DQ8	数据脚 8	与 IP 相连
DQ9	数据脚 9	与 IP 相连
DQ10	数据脚 10	与 IP 相连
DQ11	数据脚 11	与 IP 相连
DQ12	数据脚 12	与 IP 相连
DQ13	数据脚 13	与 IP 相连
DQ14	数据脚 14	与 IP 相连
DQ15	数据脚 15	与 IP 相连
DQ16	数据脚 16	与 IP 相连
DQ17	数据脚 17	与 IP 相连
DQ18	数据脚 18	与 IP 相连
DQ19	数据脚 19	与 IP 相连
DQ20	数据脚 20	与 IP 相连
DQ21	数据脚 21	与 IP 相连
DQ22	数据脚 22	与 IP 相连
DQ23	数据脚 23	与 IP 相连
DQ24	数据脚 24	与 IP 相连
DQ25	数据脚 25	与 IP 相连
DQ26	数据脚 26	与 IP 相连
DQ27	数据脚 27	与 IP 相连
DQ28	数据脚 28	与 IP 相连
DQ29	数据脚 29	与 IP 相连
DQ30	数据脚 30	与 IP 相连
DQ31	数据脚 31	与 IP 相连
SA0	地址脚 0	与 IP 相连
SA1	地址脚 1	与 IP 相连
SA2	地址脚 2	与 IP 相连
SA3	地址脚 3	与 IP 相连
SA4	地址脚 4	与 IP 相连
SA5	地址脚 5	与 IP 相连
SA6	地址脚 6	与 IP 相连
SA7	地址脚 7	与 IP 相连
SA8	地址脚 8	与 IP 相连
SA9	地址脚 9	与 IP 相连

SA10	地址脚 10	与 IP 相连
BA0	BANK 地址脚 0	与 IP 相连
BA1	BANK 地址脚 1	与 IP 相连
WE_N	写使能	与 IP 相连
RAS_N	行选通	与 IP 相连
CAS_N	列选通	与 IP 相连
CLK	芯片时钟	与 IP 相连
CS_N	片选	固定拉低
DM0	数据 0-7 屏蔽	固定拉低
DM1	数据 8-15 屏蔽	固定拉低
DM2	数据 16-23 屏蔽	固定拉低
DM3	数据 24-31 屏蔽	固定拉低
CKE	时钟使能	固定拉高

5 引脚和封装

5.1 引脚定义

表 4-1- 1 引脚定义规则

引脚名称	方向	描 述
普通 I/O		
NC	—	无连接
GND	—	电源地
VCC	—	内部核心模块电源
VCCIOx	—	I/O 组电源
VCCAUX	—	辅助电源
VCC_PLLX	—	PLL 电源
GND_PLLx	—	PLL 地
JTAG 专用引脚		
TCK	输入	TCK 输入边界扫描时钟
TDI	输入	边界扫描数据输入
TDO	输出	边界扫描数据输出
TMS	输入	边界扫描模式选择
配置专用管脚		
CSN	输入	并行下载模式片选信号，低有效
MSEL[2:0]	输入	下载模式选择
PROGRAMN	输入	全局复位输入，低有效
CCLK	I/O	
DONE	I/O	专用配置状态引脚，在配置完成后会输出高，源端开路
INITN	I/O	专用配置状态引脚，输出高表示 FPGA 准备好配置，源端开路

5.2 AL3S10LG144 FPGA 引脚列表

编号	BANK(注 1)	名称	功能描述	最小系统需要
1	1	IO_L1_1	通用 IO	
2	1	IO_L2_1	通用 IO	
3	1	IO_L1P_1	通用 IO	
4	1	IO_L1N_1	通用 IO	
5	1	IO_L3_1	通用 IO	
6	1	IO_L4_1, MOSI	MSPI	是
7	1	IO_L5_1	通用 IO	
8	1	IO_L6_1, SPICSN	MSPI	是
9	1	INITN	上电配置	是
10	1	IO_L7_1	通用 IO	
11	1	CCLK	MSPI	是
12	1	IO_L8_1, D0	MSPI	是
13	1	PROGRAMN	启动配置	是
14	1	TDI	JTAG	是
15	1	IO_L2P_1	通用 IO	
16	1	TCK	JTAG	是
17	1	IO_L2N_1	通用 IO	
18	1	IO_L3P_1	通用 IO	
19	1	IO_L3N_1	通用 IO	
20	1	VCCIO1	3.3V BANK1 IO 电源	是
21	1	TMS	JTAG	是
22	1	TDO	JTAG	是
23	1	IO_L9_1, GCLKIO_1	通用 IO	
24	2	IO_L1P_2, GCLKIOP_2	通用 IO	
25	2	IO_L1N_2, GCLKION_2	通用 IO	
26	2	IO_L1_2	通用 IO	
27	2	VCCIO2	3.3V BANK2 IO 电源	是
28	2	IO_L2N_2	通用 IO	
29	2	IO_L2P_2	通用 IO	
30	2	IO_L3P_2, DPCLKIO_2	通用 IO	
31	2	IO_L3N_2	通用 IO	
32	2	IO_L4P_2	通用 IO	
33	2	IO_L4N_2	通用 IO	
34	2	IO_L5P_2	通用 IO	

35	2	IO_L5N_2	通用 IO	
36	2	IO_L2_2	通用 IO	
37		VCC_PLLA1	1.2V PLL1 电源	是
38		VCC	1.2V 核心电源	是
39	3	IO_B1_3, GPLL0_CLKIN0	通用 IO	
40	3	IO_B2_3, GPLL0_CLKIN1	通用 IO	
41	3	VCCIO3	3.3V BANK3 IO 电源	是
42	3	IO_BE1P_3	通用 IO	
43	3	IO_BE1N_3	通用 IO	
44	3	IO_B3_3	通用 IO	
45	3	IO_BE2P_3, GPLL0_OUTP1	通用 IO	
46	3	IO_BE2N_3, GPLL0_OUTN1	通用 IO	
47		VCC	1.2 V 核心电源	是
48	3	IO_B4_3	通用 IO	
49	3	VCCIO3	3.3V BANK3 IO 电源	是
50		GND	芯片地	是
51	3	IO_B5_3	通用 IO	
52	3	IO_B6_3	通用 IO	
53	3	IO_BE3P_3	通用 IO	
54	3	IO_BE3N_3	通用 IO	
55	3	IO_BE4P_3	通用 IO	
56	3	VCCIO3	3.3V BANK3 IO 电源	是
57	3	IO_BE4N_3	通用 IO	
58	3	IO_B7_3	通用 IO	
59	3	IO_BE5P_3, GCLKIOP_3	通用 IO	
60	3	IO_BE5N_3, GCLKION_3	通用 IO	
61	4	IO_BE1P_4	通用 IO	
62	4	IO_BE1N_4	通用 IO	
63		VCC	1.2V 核心电源	是
64	4	VCCIO4	3.3V BANK3 IO 电源	是
65	4	IO_BE2P_4	通用 IO	
66	4	IO_BE2N_4	通用 IO	
67	4	IO_B1_4	通用 IO	
68	4	VCCIO4	3.3V BANK4 IO 电源	是
69	4	IO_B2_4	通用 IO	
70	4	IO_BE3P_4	通用 IO	
71	4	IO_BE3N_4	通用 IO	

72		VCCAUX	3.3V 芯片辅助电源	是
73	5	IO_R1N_5	通用 IO	
74	5	IO_R1P_5	通用 IO	
75	5	IO_R2N_5	通用 IO	
76	5	IO_R2P_5	通用 IO	
77	5	IO_R3N_5	通用 IO	
78	5	IO_R3P_5	通用 IO	
79	5	IO_R4N_5	通用 IO	
80	5	IO_R4P_5	通用 IO	
81	5	IO_R5N_5	通用 IO	
82	5	IO_R5P_5	通用 IO	
83	5	VCCIO5	BANK5 IO 电源	是
84	5	IO_R6N_5	通用 IO	
85	5	IO_R6P_5	通用 IO	
86	5	IO_R1_5	通用 IO	
87	5	IO_R7N_5	通用 IO	
88	5	IO_R7P_5, DPCLKIO_5	通用 IO	
89	5	IO_R8N_5	通用 IO	
90	5	IO_R8P_5	通用 IO	
91	5	IO_R9N_5, GCLKION_5	通用 IO	
92	5	IO_R9P_5, GCLKIOP_5	通用 IO	
93	6	IO_R1N_6, GCLKION_6	通用 IO	
94	6	IO_R1P_6, GCLKIOP_6	通用 IO	
95	6	VCCIO6	3.3V BANK6 IO 电源	是
96	6	IO_R2N_6	通用 IO	
97	6	IO_R2P_6	通用 IO	
98	6	IO_R3N_6	通用 IO	
99	6	IO_R3P_6	通用 IO	
100	6	IO_R4N_6	通用 IO	
101	6	IO_R4P_6	通用 IO	
102	6	IO_R5N_6	通用 IO	
103	6	IO_R5P_6	通用 IO	
104	6	IO_R1_6	通用 IO	
105	6	IO_R6N_6, DPCLKIO_6	通用 IO	
106	6	IO_R6P_6	通用 IO	
107	6	IO_R7N_6	通用 IO	
108	6	IO_R7P_6	通用 IO	

109		VCC_PLLA2	1.2V PLL2 电源	是
110	7	IO_TE1N_7	通用 IO	
111	7	IO_TE1P_7, DPCLKIO_7	通用 IO	
112	7	IO_TE2N_7, GPLL2_CLKIN1	通用 IO	
113	7	IO_TE2P_7, GPLL2_CLKIN0	通用 IO	
114	7	VCCIO7	3.3V BANK7 IO 电源	是
115	7	IO_TE3N_7	通用 IO	
116	7	IO_TE3P_7	通用 IO	
117		VCC	1.2V 核心电源	是
118	7	IO_TE4N_7	通用 IO	
119	7	IO_TE4P_7	通用 IO	
120	7	VCCIO7	3.3V BANK7 IO 电源	是
121	7	IO_TE5N_7	通用 IO	
122	7	IO_TE5P_7	通用 IO	
123	8	IO_T1_8	通用 IO	
124	8	IO_TE1N_8, GCLKION_8	通用 IO	
125	8	IO_TE1P_8, GCLKIOP_8	通用 IO	
126	8	IO_T2_8	通用 IO	
127	8	IO_TE2N_8	通用 IO	
128	8	IO_TE2P_8	通用 IO	
129	8	IO_T3N_8	通用 IO	
130	8	IO_T3P_8	通用 IO	
131	8	IO_T3_8	通用 IO	
132		VCC	1.2V 核心电源	是
133	8	IO_T4_8	通用 IO	
134	8	IO_TE4N_8	通用 IO	
135	8	IO_TE4P_8	通用 IO	
136	8	VCCIO8	3.3V BANK8 IO 电源	是
137	8	IO_T5_8	通用 IO	
138	8	IO_T6_8	通用 IO	
139	8	VCCIO8	3.3V BANK8 IO 电源	是
140	8	IO_T7_8, DPCLKIO_8	通用 IO	
141	8	IO_TE5N_8	通用 IO	
142	8	IO_TE5P_8	通用 IO	
143		VCC	1.2V 核心电源	是
144	1	IO_L11_1	通用 IO	
145		EPAD	芯片接地	是

注 1： 除了 IO BANK5，其他 BANK 均有 IO 被 SDRAM 使用，因此推荐 BANK1，BANK2，BANK3，BANK4，BANK6，BANK7，BANK8 使用 3.3V 电压，BANK5 可支持 1.2V，1.5V，1.8V，2.5V，3.3V IO 电平。

5.3 AL3S10NG88 FPGA 引脚列表

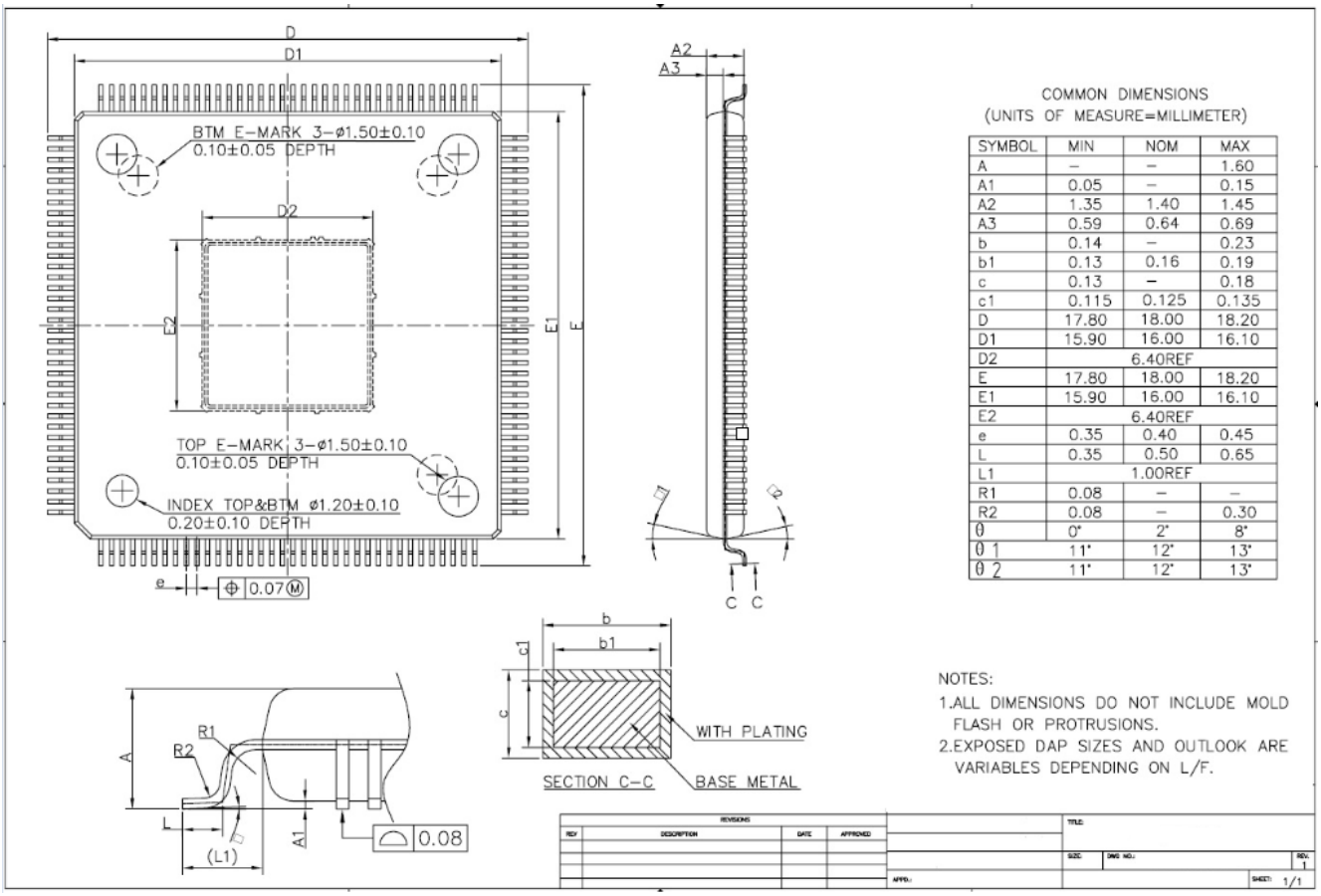
编号	BANK(注 1)	名称	功能描述	最小系统需要
1	1	IO_L1_1	通用 IO	
2	1	IO_L2_1	通用 IO	
3	1	IO_L3_1, MOSI, D1	MSPI（D1）	是
4	1	IO_L4_1	通用 IO	
5	1	IO_L5_1, SPICSN	MSPI	是
6	1	INITN	上电配置	是
7	1	CCLK	MSPI	是
8	1	IO_L6_1, D0	MSPI (D0)	是
9	1	PROGRAMN	启动配置	是
10	1	TDI	JTAG	是
11	1	TCK	JTAG	是
12	1	IO_L7_1	通用 IO	
13	1	TMS	JTAG	是
14	1	TDO	JTAG	是
15	2	IO_L1_2, GCLKION_2	通用 IO	
16	2	IO_L2_2	通用 IO	
17	2	IO_L3_2	通用 IO	
18	2	IO_L4_2, DPCLKIO_2	通用 IO	
19	2	VCCIO2	3.3V IO 电源	是
20	2	IO_L1N_2	通用 IO	
21	2	IO_L1P_2	通用 IO	
22	2	IO_L2P_2	通用 IO	
23	2	IO_L2N_2	通用 IO	
24	-	VCC_PLLA1	1.2V PLL1 电源	是
25	3	IO_BE1N_3, GPLL0_CLKIN1	通用 IO	
26	3	IO_BE1P_3, GPLL0_CLKIN0	通用 IO	
27	3	IO_B1_3	通用 IO	
28	3	IO_B2_3	通用 IO	
29	3	IO_B3_3, GPLL0_OUTP1	通用 IO	
30	-	VCC	1.2 V 核心电源	是

31	3	VCCIO3	3.3V IO 电源	是
32	-	GND	芯片地	是
33	3	IO_B4_3	通用 IO	
34	4	VCCIO4	3.3V IO 电源	是
35	4	IO_B1_4	通用 IO	
36	4	IO_B2_4	通用 IO	
37	4	VCCIO4	3.3V IO 电源	是
38	4	VCC	1.2V 核心电源	是
39	4	IO_B3_4	通用 IO	
40	4	IO_B4_4	通用 IO	
41	4	IO_B1P_4	通用 IO	
42	4	IO_B1N_4	通用 IO	
43	4	IO_B2P_4	通用 IO	
44	4	IO_B2N_4	通用 IO	
45	-	VCCAUX	3.3V 辅助电源	是
46	5	IO_R1_5	通用 IO	
47	5	IO_R2_5	通用 IO	
48	5	IO_R3_5	通用 IO	
49	5	IO_R4_5	通用 IO	
50	5	IO_R1N_5	通用 IO	
51	5	IO_R1P_5	通用 IO	
52	5	VCCIO5	3.3V IO 电源	是
53	5	IO_R2N_5	通用 IO	
54	5	IO_R2P_5	通用 IO	
55	5	IO_R3N_5	通用 IO	
56	5	IO_R3P_5	通用 IO	
57	6	IO_R1_6	通用 IO	
58	6	VCCIO6	3.3V IO 电源	是
59	6	IO_R2_6	通用 IO	
60	6	MSEL2(注 1)	程序加载模式选择	是
61	6	IO_R3_6	通用 IO	
62	6	IO_R1N_6, DPCLKIO_6	通用 IO	
63	6	IO_R1P_6	通用 IO	
64	6	IO_R2P_6	通用 IO	
65	6	IO_R2N_6	通用 IO	
66	6	IO_R3N_6, GPLL2_OUTN2	通用 IO	
67	6	IO_R3P_6, GPLL2_OUTP2	通用 IO	

68	-	VCC_PLLA2	1.2V PLL2 电源	是
69	-	VCC	1.2V 核心电源	是
70	7	IO_T1_7, GPLL2_CLKIN0	通用 IO	
71	7	IO_TE1N_7	通用 IO	
72	7	IO_TE1P_7	通用 IO	
73	7	VCCIO7	3.3V IO 电源	是
74	7	IO_T2_7	通用 IO	
75	7	IO_T3_7, GCLKION_7	通用 IO	
76	8	IO_TE1N_8, GCLKION_8	通用 IO	
77	8	IO_TE1P_8, GCLKIOP_8	通用 IO	
78	8	VCCIO8	3.3V IO 电源	是
79	8	IO_TE2N_8	通用 IO (D2)	
80	8	IO_TE2P_8	通用 IO (D3)	
81	8	IO_T1_8	通用 IO (D7)	
82	8	IO_TE3N_8	通用 IO (D5)	
83	8	IO_TE3P_8	通用 IO (D6)	
84	8	IO_T2_8	通用 IO	
85	8	VCCIO8	3.3V IO 电源	是
86	8	IO_T3_8	通用 IO (D4)	
87	8	IO_T4_8	通用 IO	
88	1	VCCIO1	3.3V IO 电源	是
89	-	EPAD	芯片 GND	是

注 1：如果要使用 SDRAM，则所有 BANK 都必须使用 3.3V IO 电压。

5.4 AL3S10LG144 封装尺寸

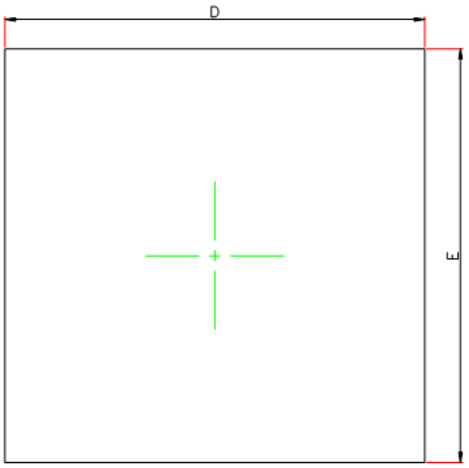


COMMON DIMENSIONS
(UNITS OF MEASURE=MILLIMETER)

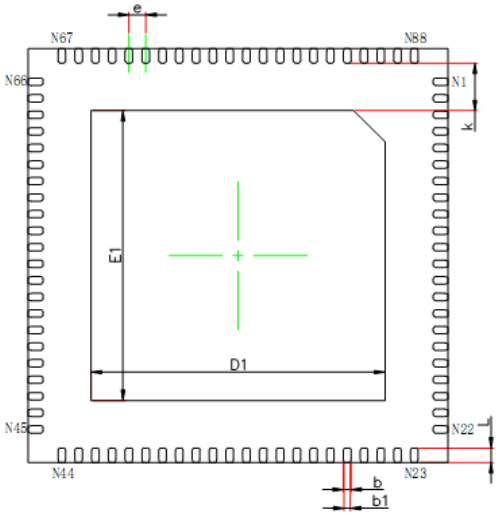
SYMBOL	MIN	NOM	MAX
A	–	–	1.60
A1	0.05	–	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.14	–	0.23
b1	0.13	0.16	0.19
c	0.13	–	0.18
c1	0.115	0.125	0.135
D	17.80	18.00	18.20
D1	15.90	16.00	16.10
D2	6.40REF		
E	17.80	18.00	18.20
E1	15.90	16.00	16.10
E2	6.40REF		
e	0.35	0.40	0.45
L	0.35	0.50	0.65
L1	1.00REF		
R1	0.08	–	–
R2	0.08	–	0.30
θ	0°	2°	8°
θ1	11°	12°	13°
θ2	11°	12°	13°

NOTES:
1.ALL DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
2.EXPOSED DAP SIZES AND OUTLOOK ARE VARIABLES DEPENDING ON L/F.

5.5 AL3S10NG88 封装尺寸



TOP VIEW



SIDE VIEW



BOTTOM VIEW

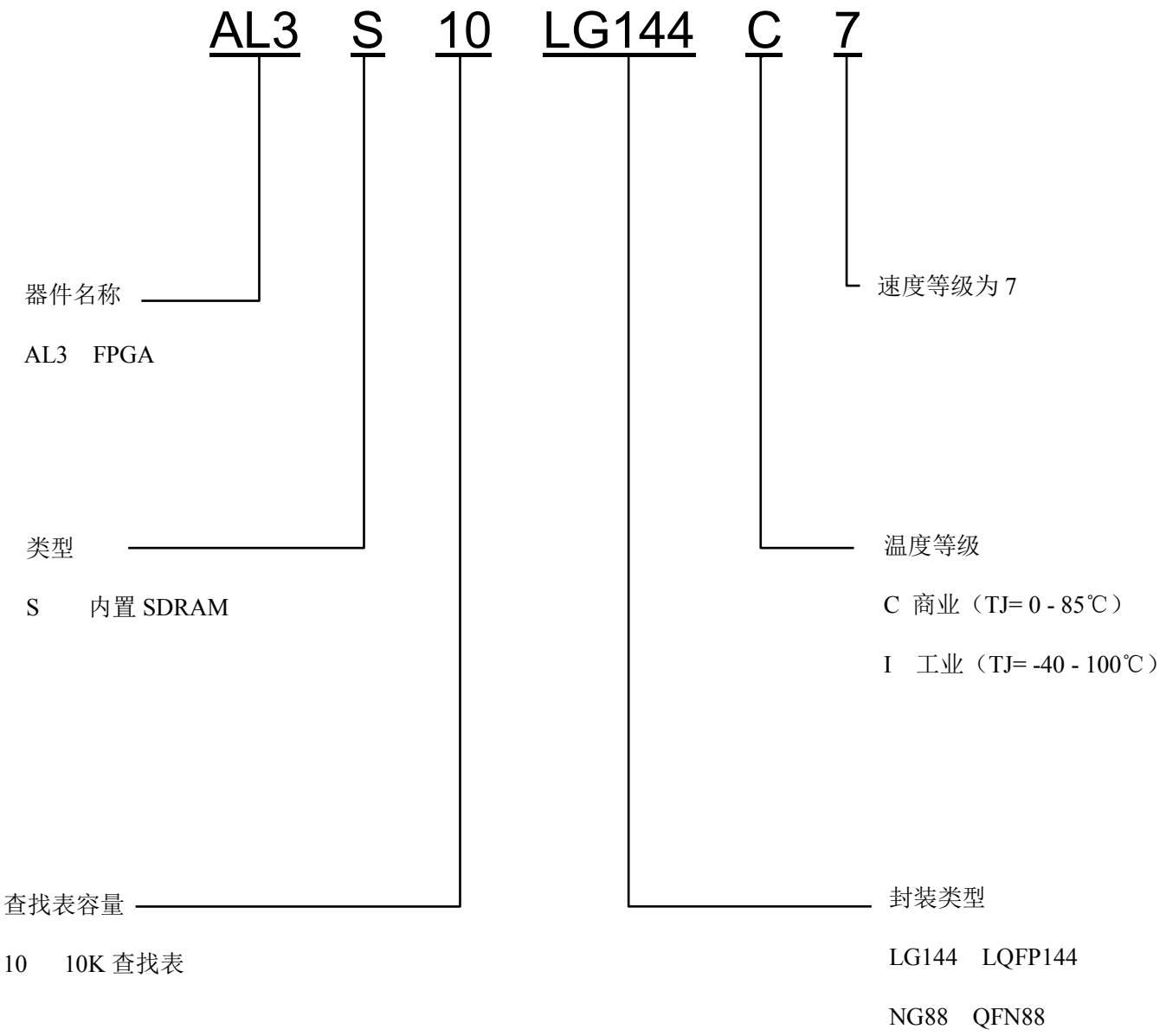
Symbol	Dimensions In Millimeters		Dimensions In Inches	
	MIN.	MAX.	MIN.	MAX.
A	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	9.924	10.076	0.391	0.397
E	9.924	10.076	0.391	0.397
D1	6.900	7.100	0.272	0.280
E1	6.900	7.100	0.272	0.280
k	1.150REF.		0.045REF.	
b	0.150	0.250	0.006	0.010
b1	0.100	0.200	0.004	0.008
e	0.400BSC.		0.016BSC.	
L	0.274	0.426	0.011	0.017

6 订购信息

表 5- 1 器件号缩写

器件名称	类别	查找表容量	封装类型	温度等级	速度等级
AL3	S	10	LG144	C	7

- 产品系列
  - ✧ AL3 系列
- 类别
  - ✧ S 内置 SDRAM
- 查找表容量
  - ✧ 10 10K 查找表
- 封装类型：<类型><#>
  - ✧ LG LQFP
  - ✧ NG QFN
  - ✧ # 引脚数（144 指 144 个引脚，88 指 88 个引脚）
- 温度等级
  - ✧ C 商业（TJ = 0 – 85 ℃）
  - ✧ I 工业（TJ = -40 – 100 ℃）
- 速度等级 #
  - ✧ # 速度（7 指速度等级为 7，6 指速度等级为 6，…）


AL3 S 10 LG144 C 7
器件名称
AL3 FPGA
速度等级为 7
类型
S 内置 SDRAM
温度等级
C 商业（TJ= 0 - 85℃）
I 工业（TJ= -40 - 100℃）
查找表容量
10 10K 查找表
封装类型
LG144 LQFP144
NG88 QFN88

7 版本信息

日期	版本	修订记录
2019/3/13	1.8	调整文档格式，添加新的引脚命名规则，修改所有引脚命名
2019/3/29	1.9	添加 AL3S10 内置 SDRAM 型号说明
2019/4/28	2.0	统一嵌入式存储模块 EMB、BRAM 为 ERAM 取消等效 LUT4 说明，统一采用 LUT4/LUT5 物理数目表示

版权所有©2019 上海安路信息科技有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全 部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任 何知识产权许可。除安路科技在其产品的销售条款和条件中声明的责任之外，安路科技概不承担任何法律或非法律责任。安路科技对安路科技产品的销售和/或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。安路科技对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，安路科技保留修改文档中任何内容的权利，恕不另行通知。安路科技不承诺对这些文档进行适时的更新。