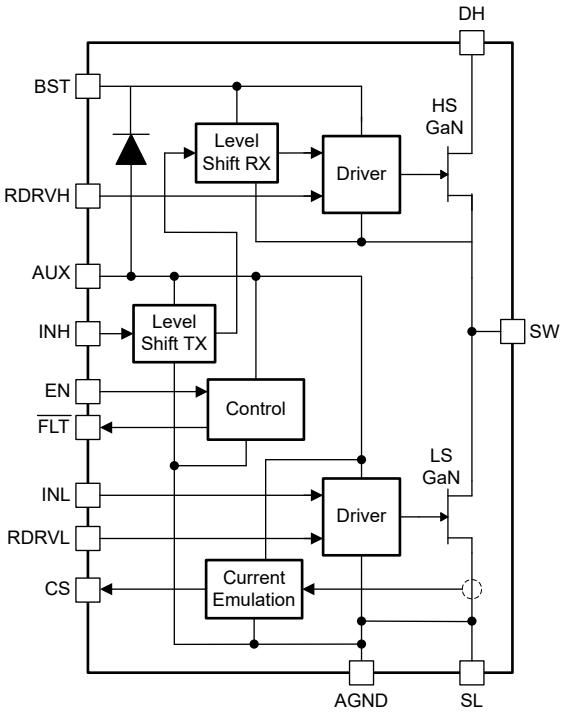
LMG2640 用于有源钳位反激式转换器的

1 特性

- 650V GaN 功率 FET 半桥
- 105mΩ 低侧和高侧 GaN FET
- 具有低传播延迟的集成栅极驱动器
- 具有高带宽和高精度的电流检测仿真
- 低侧/高侧栅极驱动互锁
- 高侧栅极驱动信号电平转换器
- 智能开关自举二极管功能
- 高侧启动：< 8µs
- 低侧/高侧逐周期过流保护
- 通过 FLT 引脚报告实现过热保护
- AUX 空闲静态电流：250 µ A
- AUX 待机静态电流：50 µ A
- BST 空闲静态电流：65 µ A
- 最大电源和输入逻辑引脚电压：26V
- 具有双散热焊盘的 9mm×7mm QFN 封装

2 应用

- 交流/直流适配器和充电器
- 交流/直流 USB 墙壁插座电源
- 交流/直流辅助电源
- 移动式壁式充电器设计
- USB 墙壁电源插座



简化版方框图

3 说明

LMG2640 是一款 650V GaN 功率 FET 半桥，适用于开关模式电源应用中 。LMG2640 通过在 9mm x 7mm QFN 封装中集成半桥功率 FET、栅极驱动器、自举二极管和高侧栅极驱动电平转换器，可简化设计、减少元件数量并缩减布板空间。

与传统的电流检测电阻相比，低侧电流检测仿真可降低功耗，并允许将低侧散热焊盘连接到 PCB 电源地进行冷却。

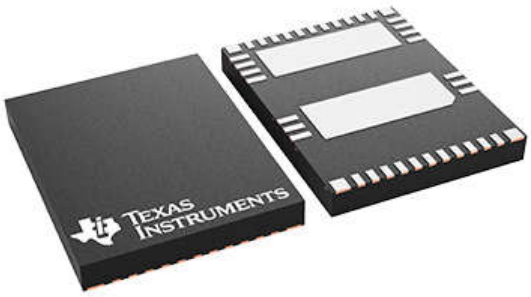
高侧栅极驱动信号电平转换器消除了外部解决方案中出现的噪声和突发模式功率耗散问题。智能开关 GaN 自举 FET 没有二极管正向压降，可避免高侧电源过充，并且反向恢复电荷为零。

LMG2640 具有低静态电流和快速启动时间，支持转换器轻负载效率要求和突发模式运行。保护特性包括 FET 导通互锁、欠压锁定 (UVLO)、逐周期电流限制和过热关断。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMG2640	RRG（QFN、40）	9.00mm × 7.00mm

(1) 如需更多信息，请参阅节 11 部分。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



封装视图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....5
5.1 绝对最大额定值.....5
5.2 ESD 等级.....5
5.3 建议运行条件.....6
5.4 热性能信息.....6
5.5 电气特性.....7
5.6 开关特性.....9
5.7 典型特性.....12
6 参数测量信息.....17
6.1 GaN 功率 FET 开关参数.....17
7 详细说明.....19
7.1 概述.....19
7.2 功能方框图.....20
7.3 特性说明.....21
7.4 器件功能模式.....26
8 应用和实施.....27
8.1 应用信息.....27
8.2 典型应用.....27
8.3 电源相关建议.....29
8.4 布局.....30
9 器件和文档支持.....32
9.1 文档支持.....32
9.2 接收文档更新通知.....32
9.3 支持资源.....32
9.4 商标.....32
9.5 静电放电警告.....32
9.6 术语表.....32
10 修订历史记录.....32
11 机械、封装和可订购信息.....33

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

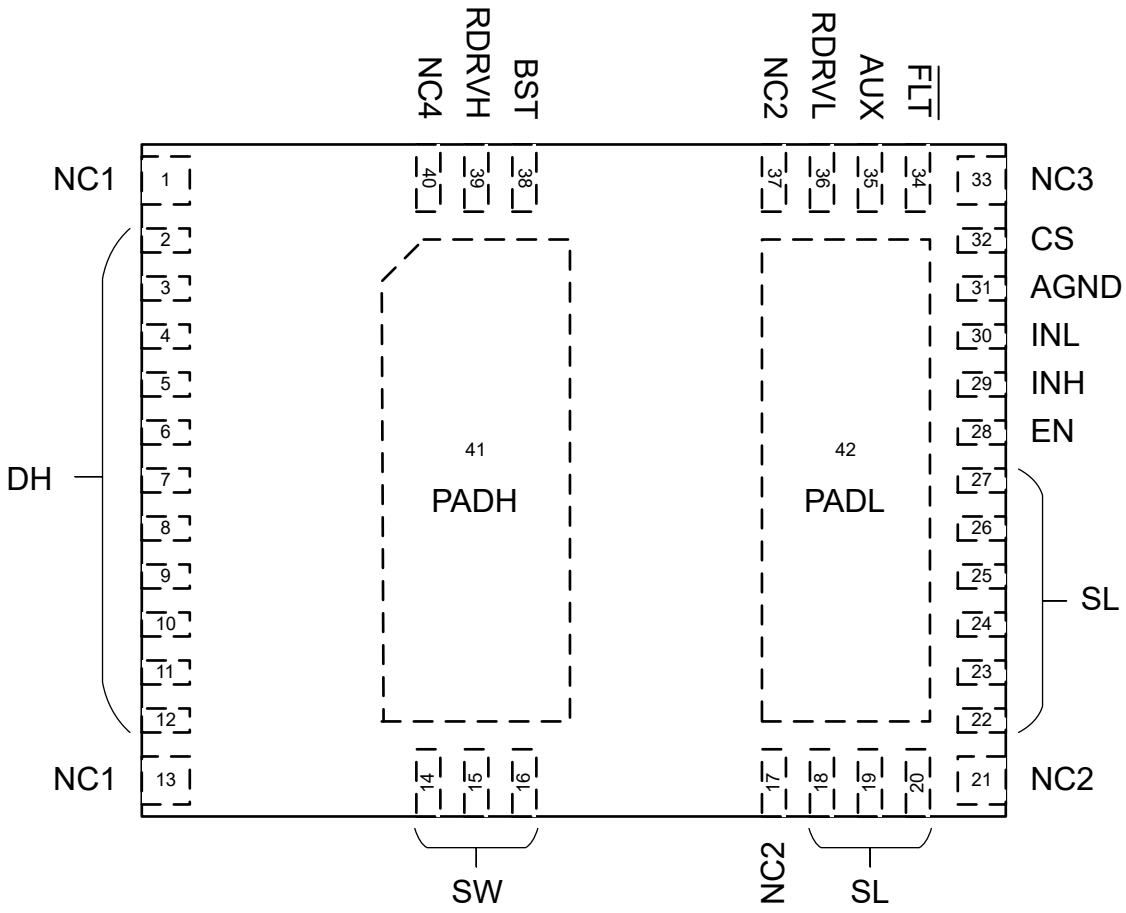


图 4-1. RRG 封装，40 引脚 VQFN（顶视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
NC1	1、13	NC	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。在内部连接到 DH。
DH	2 – 12	P	高侧 GaN FET 漏极。在内部连接到 NC1。
SW	14 – 16	P	高侧 GaN FET 源极和低侧 GaN FET 漏极之间的 GaN FET 半桥开关节点。在内部连接到 PADH。
NC2	17、21、37	NC	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。在内部连接到 AGND、SL 和 PADL。
SL	18-20、22 – 27	P	低侧 GaN FET 源极。在内部连接到 AGND、PADL 和 NC2。
EN	28	I	使能。用于在工作模式和待机模式之间切换。待机模式降低了静态电流，以支持转换器轻载效率目标。在 EN 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 EN 驱动至高于 AUX 的电平。
INH	29	I	高侧栅极驱动控制输入。以 AGND 为参考。信号在内部通过电平转换位移到高侧 GaN FET 驱动器。在 INH 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 INH 驱动至高于 AUX 的电平。
INL	30	I	低侧栅极驱动控制输入。以 AGND 为参考。在 INL 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 INL 驱动至高于 AUX 的电平。
AGND	31	GND	低侧模拟接地。在内部连接到 SL、PADL 和 NC2。
CS	32	O	电流检测仿真输出。输出与低侧 GaN FET 电流成 0.616ma/A 比例的电流。将输出电流馈入电阻器以生成电流检测电压信号。电阻器以电源控制器 IC 本地接地为基准。此功能取代了与低侧 FET 串联使用的外部电流检测电阻。
NC3	33	NC	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。内部未连接引脚。
$\overline{\text{FLT}}$	34	O	低电平有效故障输出。在过热关断期间置为有效的开漏输出。
AUX	35	P	辅助电压轨。低侧电源电压。在 AUX 和 AGND 之间连接一个本地旁路电容器。
RDRVL	36	I	短接至 AGND。
BST	38	P	自举电压轨。高侧电源电压。AUX 和 BST 之间的自举二极管功能在内部提供。在 BST 和 SW 之间连接一个大小合适的自举电容器。建议使用 NC4 进行 SW 连接，作为与 PADH (PADH = SW) 的直通连接，如 NC4 说明中所述。
RDRVH	39	I	短接至 SW。建议使用 NC4 进行 SW 连接，作为与 PADH (PADH = SW) 的直通连接，如 NC4 说明中所述。
NC4	40	NC	引脚不起作用。引脚为高阻抗并以 SW 为基准。建议将引脚连接到 PADH (PADH = SW) 以方便连接 BST 旁路电容器和 RDRVH。请参阅*布局示例*部分中的电路板布局布线示例。
PADH	41	TP	高侧散热焊盘。在内部连接到 SW。所有 SW 电流都可以通过 PADH (PADH = SW) 传导。
PADL	42	TP	低侧散热焊盘。在内部连接到 S、AGND 和 NC2。所有 SL 电流都可以通过 PADL (PADL = SL) 传导。

(1) I = 输入，O = 输出，G = 接地，P = 电源，NC = 无连接，TP = 散热焊盘。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

除非另有说明：电压以 AGND 为基准(1)

			最小值	最大值	单位
$V_{DS(ls)}$	低侧漏源（SW 至 SL）电压，FET 关断			650	V
$V_{DS(surge)(ls)}$	低侧漏源（SW 至 SL）电压，浪涌条件，FET 关断(2)			720	V
$V_{DS(tr)(surge)(ls)}$	低侧漏源（SW 至 SL）瞬态振铃峰值电压，浪涌条件，FET 关断(2)			800	V
$V_{DS(hs)}$	高侧漏源（DH 至 SW）电压，FET 关断			650	V
$V_{DS(surge)(hs)}$	高侧漏源（DH 至 SW）电压，浪涌条件，FET 关断(2)			720	V
$V_{DS(tr)(surge)(hs)}$	高侧漏源（DH 至 SW）瞬态振铃峰值电压，浪涌条件，FET 关断(2)			800	V
	引脚电压	AUX	-0.3	30	V
		EN、INL、INH、$\overline{FLT}$	-0.3	V_{AUX} + 0.3	V
		CS	-0.3	5.5	V
		RDRVL	-0.3	4	V
	引脚电压至 SW	BST	-0.3	30	V
		RDRVH	-0.3	4	V
$I_{D(cnts)(ls)}$	低侧漏极（SW 至 SL）连续电流，FET 导通		-10	受内部限制	A
$I_{S(cnts)(ls)}$	低侧源极（SL 至 SW）连续电流，FET 关断			10	A
$I_{D(cnts)(hs)}$	高侧漏极（DH 至 SW）连续电流，FET 导通		-10	受内部限制	A
$I_{S(cnts)(hs)}$	高侧源极（SW 至 DH）连续电流，FET 关断			10	A
	正灌电流	CS		10	mA
		$\overline{FLT}$（置为有效时）		受内部限制	mA
T_J	工作结温		-40	150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 有关 GaN 功率 FET 开关能力的更多信息，请参阅节 7.3.1。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	引脚 1 至 16，引脚 38 至 40	±1000	V
			引脚 17 至 37	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)		±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

除非另有说明：电压以 AGND 为基准

			最小值	标称值	最大值	单位
	电源电压	AUX	10		26	V
	电源电压至 SW	BST	7.5		26	V
	输入电压	EN、INL、INH	0		V_{AUX}	V
	开漏输出上的上拉电压	$\overline{FLT}$	0		V_{AUX}	V
V_{IH}	高电平输入电压	EN、INL、INH	2.5			V
V_{IL}	低电平输入电压				0.6	V
$I_{D(cnts)(ls)}$	低侧漏极（SW 至 SL）连续电流，FET 导通		-8.2		8.2	A
$I_{D(cnts)(hs)}$	高侧漏极（DH 至 SW）连续电流，FET 导通		-8.2		8.2	A
C_{AUX}	来自外部旁路电容器的 AUX 至 AGND 电容		3 x C_{BST}			µF
C_{BST_SW}	来自外部旁路电容器的 BST 至 SW 电容		0.010			µF

5.4 热性能信息

热指标(1)		LMG2640 RRG (VQFN) 40 引脚	单位
$R_{\theta JA}$	结至环境热阻	22.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.21	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；-40°C ≤ T_J ≤ 125°C；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
低侧 GaN 功率 FET						
$R_{DS(on)(ls)}$	漏源（SW 至 SL）导通电阻	V_{INL} = 5V，$I_{D(ls)}$ = 4.8A，T_J = 25°C		105		mΩ
		V_{INL} = 5V，$I_{D(ls)}$ = 4.8A，T_J = 125°C		200		
$I_{DSS(ls)}$	漏极（SW 至 SL）漏电流	$V_{DS(hs)}$ = 0V，$V_{DS(ls)}$ = 650V，T_J = 25°C		3.1		μA
		$V_{DS(hs)}$ = 0V，$V_{DS(ls)}$ = 650V，T_J = 125°C		15.4		
$Q_{OSS(ls)}$	输出（SW 至 SL）电荷	$V_{DS(hs)}$ = 0V，$V_{DS(ls)}$ = 400V		33.6		nC
$C_{OSS(ls)}$	输出（SW 至 SL）电容			51.0		pF
$E_{OSS(ls)}$	输出（SW 至 SL）电容储存能量			4.64		μJ
$C_{OSS,er(ls)}$	与能量相关的有效输出（SW 至 SL）电容			58.0		pF
$C_{OSS,tr(ls)}$	与时间相关的有效输出（SW 至 SL）电容	$V_{DS(hs)}$ = 0V，$V_{DS(ls)}$ = 0V 至 400V		84.0		pF
$Q_{RR(ls)}$	反向恢复电荷			0		nC
高侧 GaN 功率 FET						
$R_{DS(on)(hs)}$	漏源（DH 至 SW）导通电阻	V_{INH} = 5V，$I_{D(hs)}$ = 4.8A，T_J = 25°C		105		mΩ
		V_{INH} = 5V，$I_{D(hs)}$ = 4.8A，T_J = 125°C		200		
$I_{DSS(hs)}$	漏极（DH 至 SW）漏电流	$V_{DS(ls)}$ = 0V，$V_{DS(hs)}$ = 650V，T_J = 25°C		3.1		μA
		$V_{DS(ls)}$ = 0V，$V_{DS(hs)}$ = 650V，T_J = 125°C		15.4		
$Q_{OSS(hs)}$	输出（DH 至 SW）电荷	$V_{DS(ls)}$ = 0V，$V_{DS(hs)}$ = 400V		33.6		nC
$C_{OSS(hs)}$	输出（DH 至 SW）电容			51.0		pF
$E_{OSS(hs)}$	输出（DH 至 SW）电容储存能量			4.64		μJ
$C_{OSS,er(hs)}$	与能量相关的有效输出（DH 至 SW）电容			58.0		pF
$C_{OSS,tr(hs)}$	与时间相关的有效输出（DH 至 SW）电容	$V_{DS(ls)}$ = 0V，$V_{DS(hs)}$ = 0V 至 400V		84.0		pF
$Q_{RR(hs)}$	反向恢复电荷			0		nC
低侧过流保护						
$I_{T(OC)(ls)}$	过流故障 - 阈值电流		8.2	9.1	10	A
高侧过流保护						
$I_{T(OC)(hs)}$	过流故障 - 阈值电流		8.2	9.1	10	A
自举整流器						
$R_{DS(on)}$	AUX 至 BST 导通电阻	V_{INL} = 5V，V_{AUX_BST} = 1V，T_J = 25°C		8		Ω
		V_{INL} = 5V，V_{AUX_BST} = 1V，T_J = 125°C		14		
	AUX 至 BST 电流限制	V_{INL} = 5V，V_{AUX_BST} = 7V	210	240	270	mA
	BST 至 AUX 反向电流阻断阈值	V_{INL} = 5V		15		mA

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性（续）

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；-40°C ≤ T_J ≤ 125°C；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
CS						
	电流检测增益 ($I_{CS(src)}$ / $I_{D(LS)}$)	V_{INL} = 5V，0V ≤ V_{CS} ≤ 2V，0A ≤ $I_{D(ls)}$ < $I_{T(OC)(ls)}$		0.616		mA/A
	电流检测输入失调电流	V_{INL} = 5V，0V ≤ V_{CS} ≤ 2V，0A ≤ $I_{D(ls)}$ < $I_{T(OC)(ls)}$	-82		82	mA
	发生过流故障后，在 INL 保持高电平时初始保持输出	V_{INL} = 5V，0V ≤ V_{CS} ≤ 2V			7	mA
$I_{CS(src)(OC)(final)}$	发生过流故障后，在 INL 保持高电平时的最终保持输出	V_{INL} = 5V，0V ≤ V_{CS} ≤ 2V	10	12	15.5	mA
	输出钳位电压	V_{INL} = 5V，$I_{D(ls)}$ = 8.1A，CS 从外部源获得 5mA 灌电流		2.5		V
EN、INL、INH						
V_{IT+}	正向输入阈值电压		1.7		2.45	V
V_{IT-}	负向输入阈值电压		0.7		1.3	V
	输入阈值电压迟滞			1		V
	下拉输入电阻	0V ≤ V_{PIN} ≤ 3V	200	400	600	kΩ
	下拉输入电流	10V ≤ V_{PIN} ≤ 26V；V_{AUX} = 26V		10		μA
过热保护						
	温度故障 – 正向阈值温度			150		°C
	温度故障 – 负向阈值温度			130		°C
	温度故障 – 阈值温度迟滞			20		°C
$\overline{FLT}$						
	低电平输出电压	置为有效时 $\overline{FLT}$ 灌电流为 1mA			200	mV
	关断状态灌电流	取消置位时 V_{FLT} = V_{AUX}			1	μA
AUX						
$V_{AUX,T+(UVLO)}$	UVLO – 正向阈值电压		8.9	9.3	9.7	V
	UVLO – 负向阈值电压		8.6	9.0	9.4	V
	UVLO – 阈值电压迟滞			250		mV
	待机静态电流	V_{EN} = 0V		50	80	μA
	静态电流			250	370	μA
		V_{INL} = 5V，$I_{D(ls)}$ = 0A		1250		μA
	工作电流	V_{INL} = 0V 或 5V，$V_{DS(ls)}$ = 0V，$I_{D(ls)}$ = 0A，f_{INL} = 500kHz		3.5		mA
BST						
$V_{BST_SW,T+(UVLO)}$	使 FET 导通的 V_{BST_SW} UVLO - 正向阈值电压		6.7	7	7.3	V
	使 FET 保持开启的 V_{BST_SW} UVLO – 负向阈值电压		4.8	5.1	5.4	V
	静态电流			65	100	μA
		V_{INH} = 5V		350		
	工作电流	V_{INH} = 0V 或 5V，$V_{DS(hs)}$ = 0V；f_{INH} = 500kHz		2.1		mA

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；-40°C ≤ T_J ≤ 125°C；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
低侧 GaN 功率 FET						
$t_{d(on)(Idrain)(ls)}$	漏极电流导通延迟时间	从 V_{INL} > $V_{INL,IT+}$ 到 $I_{D(ls)}$ > 50mA, V_{BUS} = 400V，L_{HB} 电流 = 2.5A		33		ns
$t_{d(on)(ls)}$	导通延迟时间	从 V_{INL} > $V_{INL,IT+}$ 到 $V_{DS(ls)}$ < 320V，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		39		ns
$t_{r(on)(ls)}$	导通上升时间	从 $V_{DS(ls)}$ < 320V 到 $V_{DS(ls)}$ < 80V，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		2.4		ns
$t_{d(off)(ls)}$	关断延迟时间	从 V_{INL} < $V_{INL,IT-}$ 到 $V_{DS(ls)}$ > 80V，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		40		ns
$t_{f(off)(ls)}$	关断下降时间	从 $V_{DS(ls)}$ > 80V 到 $V_{DS(ls)}$ > 320V，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		16.0		ns
	导通压摆率	从 $V_{DS(ls)}$ < 250V 到 $V_{DS(ls)}$ < 150V，T_J = 25℃，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		125		V/ns

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性（续）

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；-40°C ≤ T_J ≤ 125°C；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
高侧 GaN 功率 FET						
$t_{d(on)(Idrain)(hs)}$	漏极电流导通延迟时间	从 V_{INH} > $V_{INH,IT+}$ 到 $I_{D(hs)}$ > 50mA，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		33		ns
$t_{d(on)(hs)}$	导通延迟时间	从 V_{INH} > $V_{INH,IT+}$ 到 $V_{DS(hs)}$ < 320V，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		39		ns
$t_{r(on)(hs)}$	导通上升时间	从 $V_{DS(hs)}$ < 320V 到 $V_{DS(hs)}$ < 80V，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		2.4		ns
$t_{d(off)(hs)}$	关断延迟时间	从 V_{INH} < $V_{INH,IT-}$ 到 $V_{DS(hs)}$ > 80V，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		40		ns
$t_{f(off)(hs)}$	关断下降时间	从 $V_{DS(hs)}$ > 80V 到 $V_{DS(hs)}$ > 320V，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		16.0		ns
	导通压摆率	从 $V_{DS(hs)}$ < 250V 到 $V_{DS(hs)}$ < 150V，T_J = 25℃，V_{BUS} = 400V，L_{HB} 电流 = 2.5A		125		V/ns

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性（续）

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；-40°C ≤ T_J ≤ 125°C；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
低侧过流保护						
$t_{(OC)(ls)}$	过流故障响应时间，过流前 FET 导通	在遵从 $I_{D(ls)}$ 压摆率下，从 $I_{D(ls)} > I_{T(OC)(ls)}$ 到 $I_{D(ls)} < 0.5 \times I_{T(OC)(ls)}$				
		$I_{D(ls)}$ di/dt = 12A/µs			175	ns
		$I_{D(ls)}$ di/dt = 24A/µs			150	ns
		$I_{D(ls)}$ di/dt = 120A/µs			90	
$t_{(OC)(en)(ls)}$	过流故障响应时间，FET 被启用为短路	$V_{DS(ls)}$ = 50V；从 $I_{D(ls)} > I_{T(OC)(ls)}$ 到 $I_{D(ls)} < 0.5 \times I_{T(OC)(ls)}$			122	ns
高侧过流保护						
$t_{(OC)(hs)}$	过流故障响应时间，过流前 FET 导通	在以下 $I_{D(hs)}$ 压摆率下，从 $I_{D(hs)} > I_{T(OC)(hs)}$ 到 $I_{D(hs)} < 0.5 \times I_{T(OC)(hs)}$				
		$I_{D(hs)}$ di/t = 12A/µs			175	ns
		$I_{D(hs)}$ di/t = 24A/µs			150	ns
		$I_{D(hs)}$ di/dt = 120A/µs			90	
$t_{(OC)(en)(hs)}$	过流故障响应时间，FET 被启用为短路	$V_{DS(hs)}$ = 50V；从 $I_{D(hs)} > I_{T(OC)(hs)}$ 到 $I_{D(hs)} < 0.5 \times I_{T(OC)(hs)}$			122	ns

Copyright © 2025 Texas Instruments Incorporated

5.6 开关特性（续）

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；-40°C ≤ T_J ≤ 125°C；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100Ω

参数		测试条件	最小值	典型值	最大值	单位
CS						
t_r	上升时间	从 $I_{CS(src)}$ > 0.1 × $I_{CS(src)(final)}$ 到 $I_{CS(src)}$ > 0.9 × $I_{CS(src)(final)}$，0V ≤ V_{CS} ≤ 2V，低侧启用至 2.5A 负载			35	ns
EN						
	EN 唤醒时间	从 V_{EN} > V_{IT+} 到 $I_{D(ls)}$ > 10mA，V_{INL} = 5V		1.5		µs
BST						
	从深度 BST 到 SW 放电的启动时间	从 V_{BST_SW} > $V_{BST_SW,T+(UVLO)}$ 到高侧对 INH 上升沿做出反应，V_{BST_SW} 在 1µs 内从 0V 上升到 10V		5		µs
	从浅 BST 到 SW 放电的启动时间	从 V_{BST_SW} > $V_{BST_SW,T+(UVLO)}$ 到高侧对 INH 上升沿做出反应，V_{BST_SW} 在 0.5µs 内从 5V 上升到 10V		2		µs

5.7 典型特性

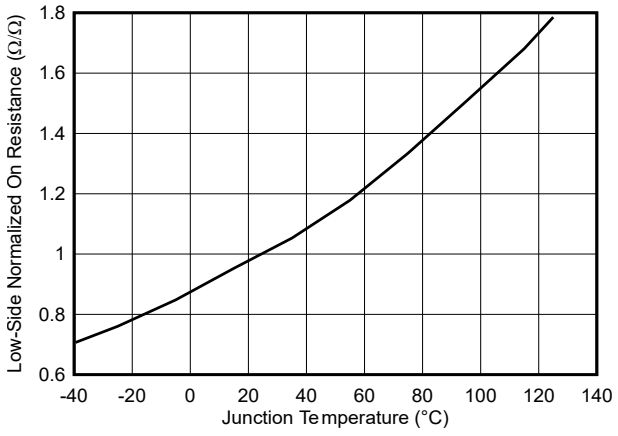


图 5-1. 低侧标准化导通电阻与结温间的关系

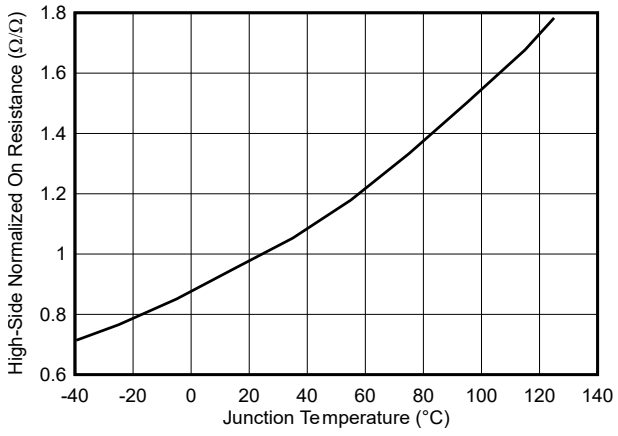


图 5-2. 高侧标准化导通电阻与结温间的关系

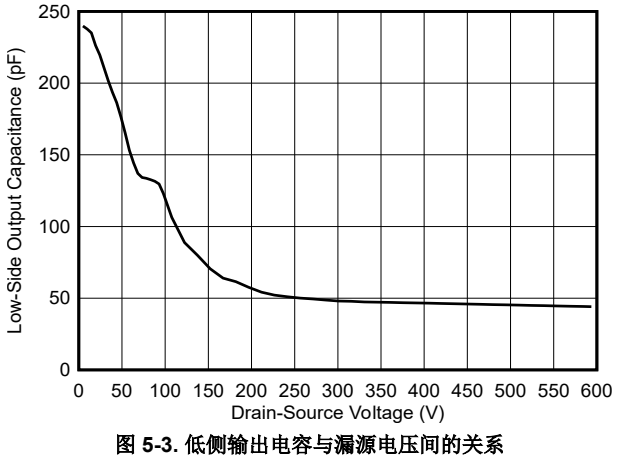


图 5-3. 低侧输出电容与漏源电压间的关系

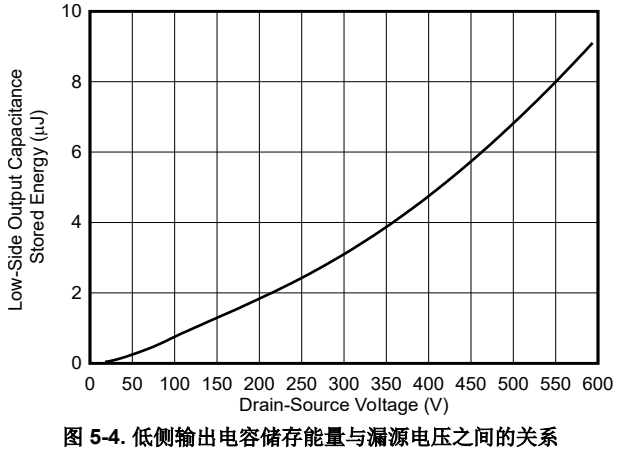


图 5-4. 低侧输出电容储存能量与漏源电压之间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

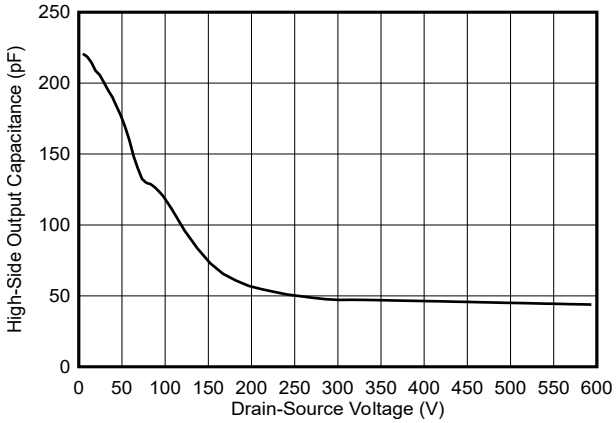


图 5-5. 高侧输出电容与漏源电压间的关系

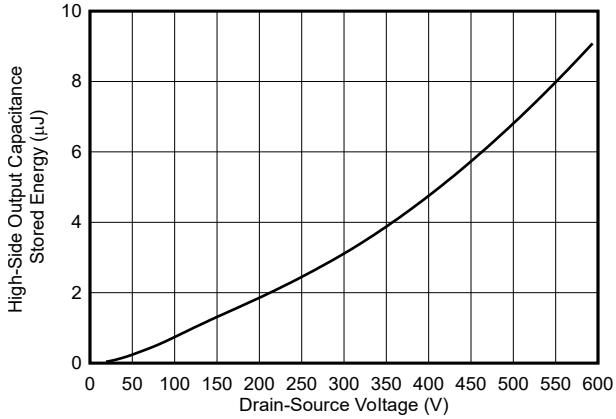


图 5-6. 高侧输出电容储存能量与漏源电压之间的关系

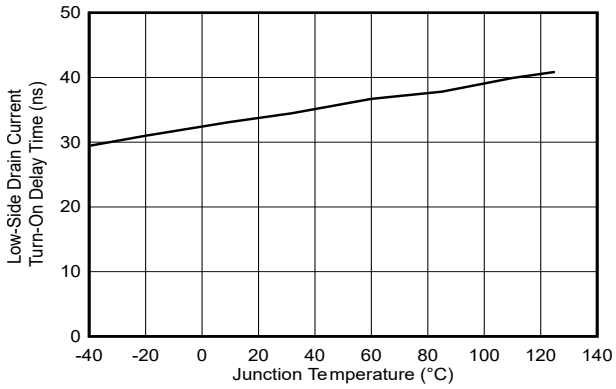


图 5-7. 低侧漏极电流导通延迟时间与结温之间的关系

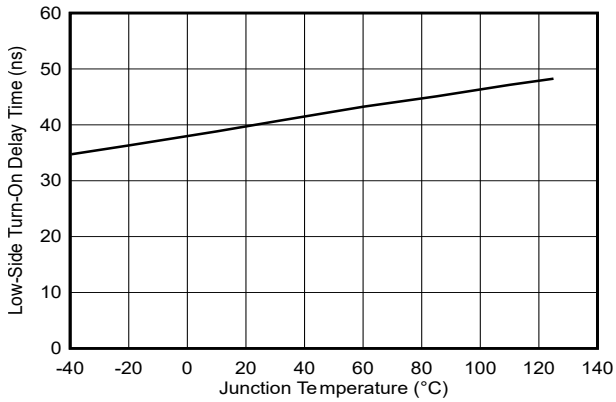


图 5-8. 低侧导通延迟时间与结温间的关系

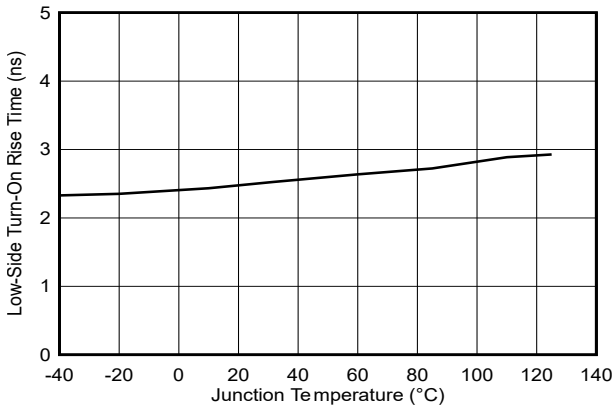


图 5-9. 低侧导通上升时间与结温间的关系

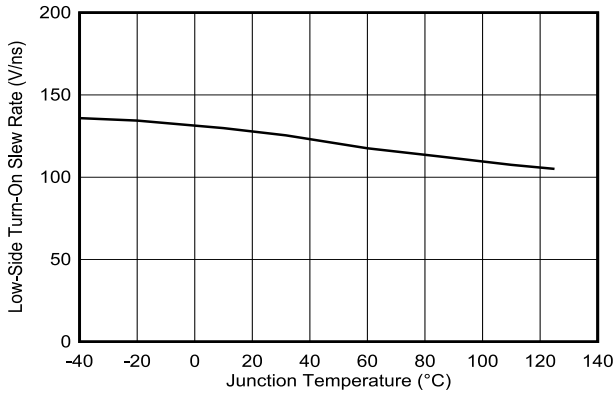


图 5-10. 低侧导通压摆率与结温间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

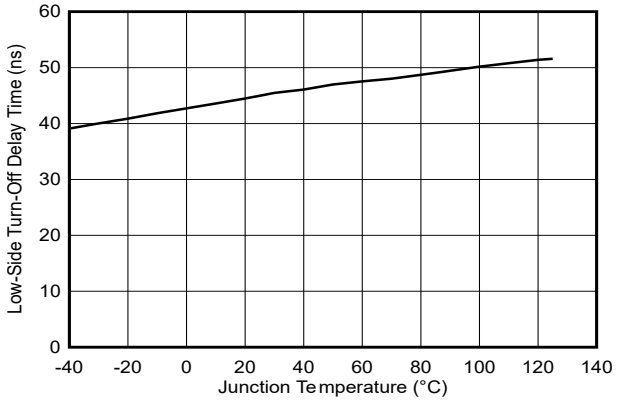


图 5-11. 低侧关断延迟时间与结温间的关系

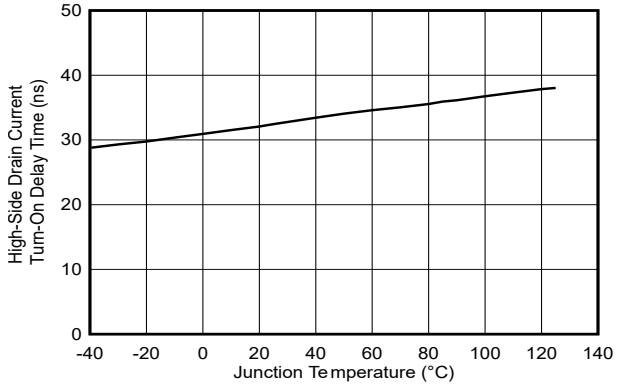


图 5-12. 高侧漏极电流导通延迟时间与结温之间的关系

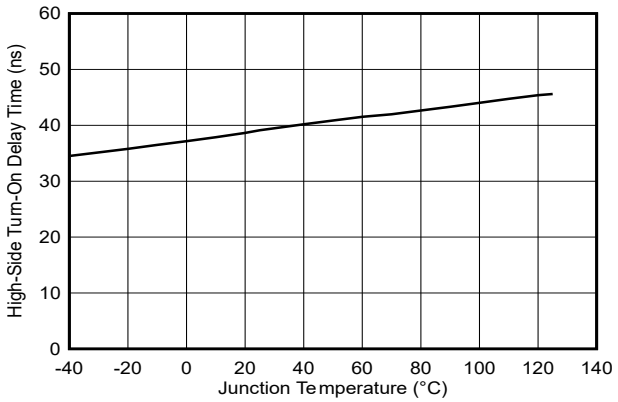


图 5-13. 高侧导通延迟时间与结温间的关系

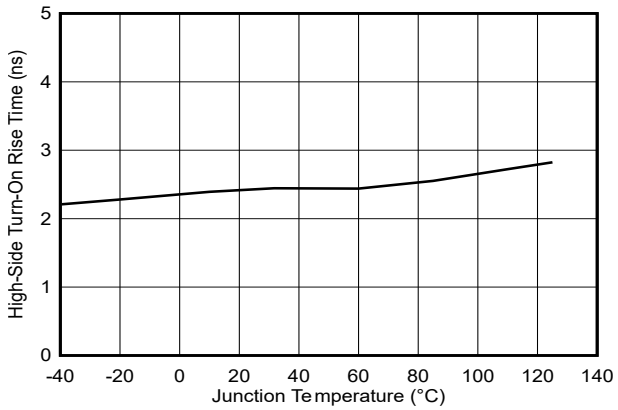


图 5-14. 高侧导通上升时间与结温间的关系

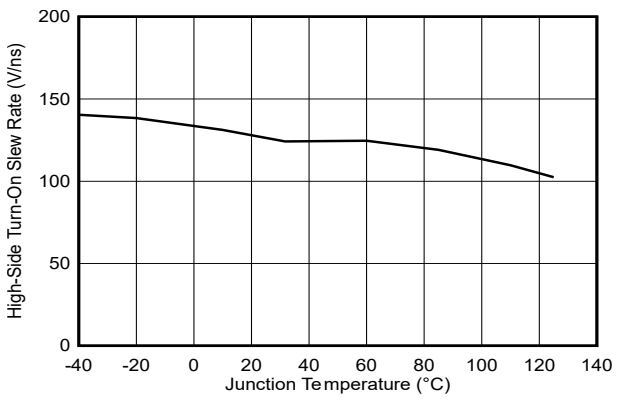


图 5-15. 高侧导通压摆率与结温间的关系

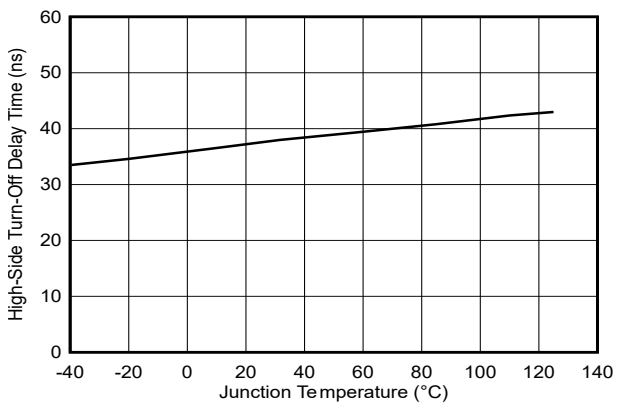


图 5-16. 高侧关断延迟时间与结温间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

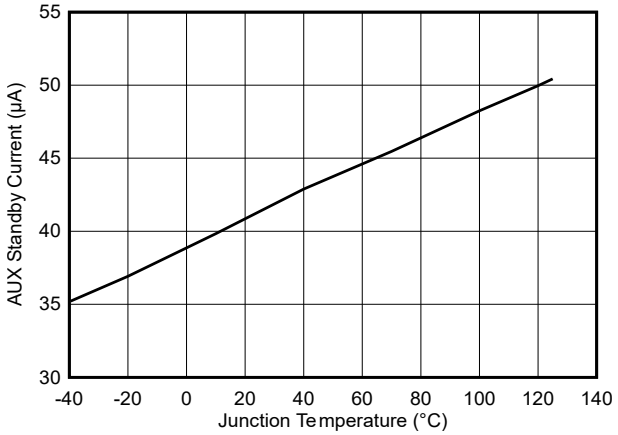
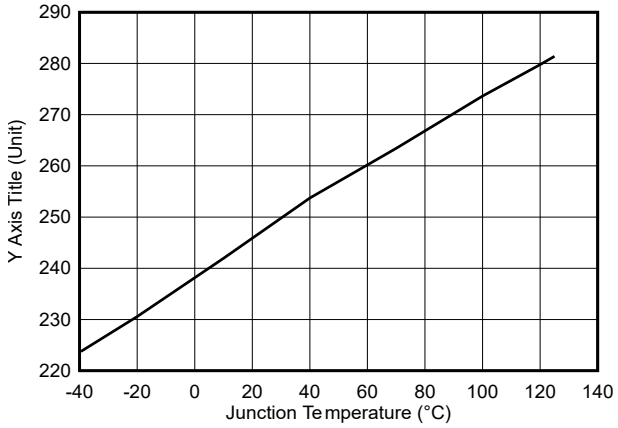
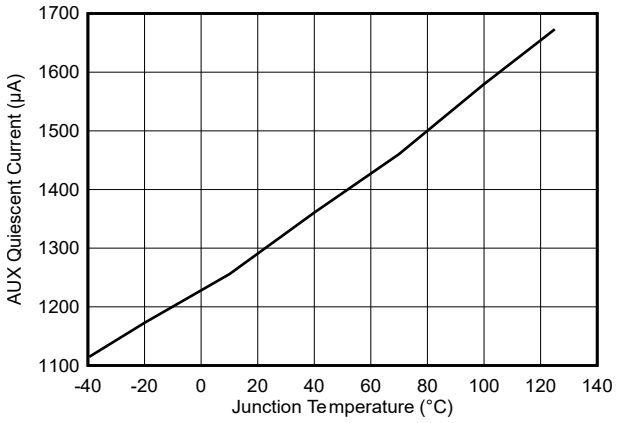


图 5-17. AUX 待机电流与结温间的关系



INL = 0V

图 5-18. AUX 静态电流与结温间的关系



INL = 5V

图 5-19. AUX 静态电流与结温间的关系

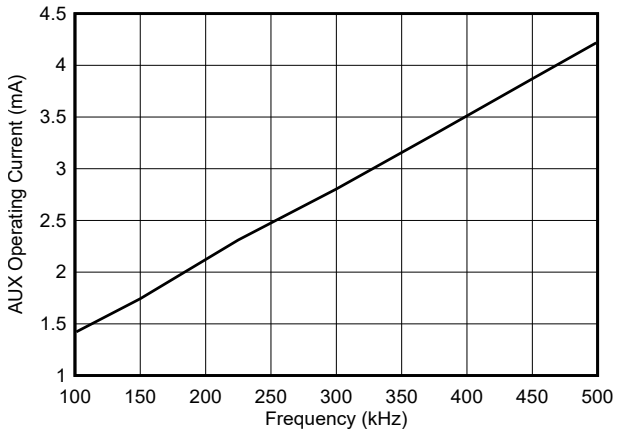
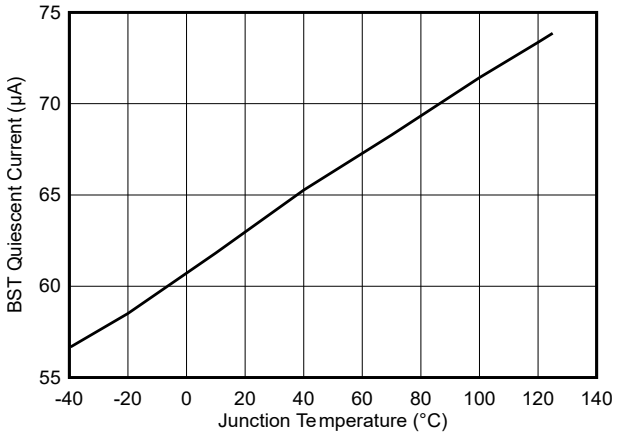
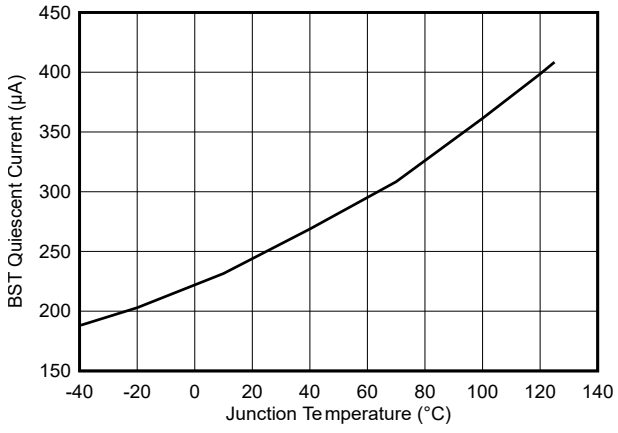


图 5-20. AUX 工作电流与频率间的关系



INH = 0V

图 5-21. BST 静态电流与结温间的关系



INH = 5V

图 5-22. BST 静态电流与结温间的关系

Copyright © 2025 Texas Instruments Incorporated

5.7 典型特性（续）

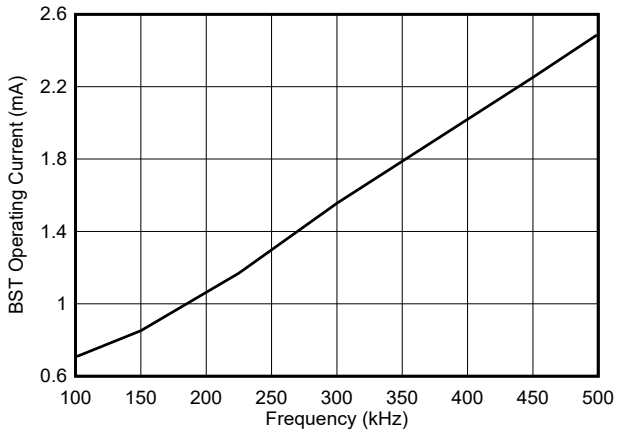


图 5-23. BST 工作电流与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

6 参数测量信息

6.1 GaN 功率 FET 开关参数

图 6-1 展示了用于测量 GaN 功率 FET 开关参数的电路。该电路用作双脉冲测试仪。有关双脉冲测试仪的详细信息，请参阅外部基准。该电路置于升压配置中，用于测量低侧 GaN 开关参数。该电路置于降压配置中，用于测量高侧 GaN 开关参数。不在每个配置（升压中的高侧和降压中的低侧）中测量 GaN FET 充当双脉冲测试仪二极管，并在关断状态第三象限导通模式下实现电感器电流循环。 表 6-1 展示了每个配置的详细信息。

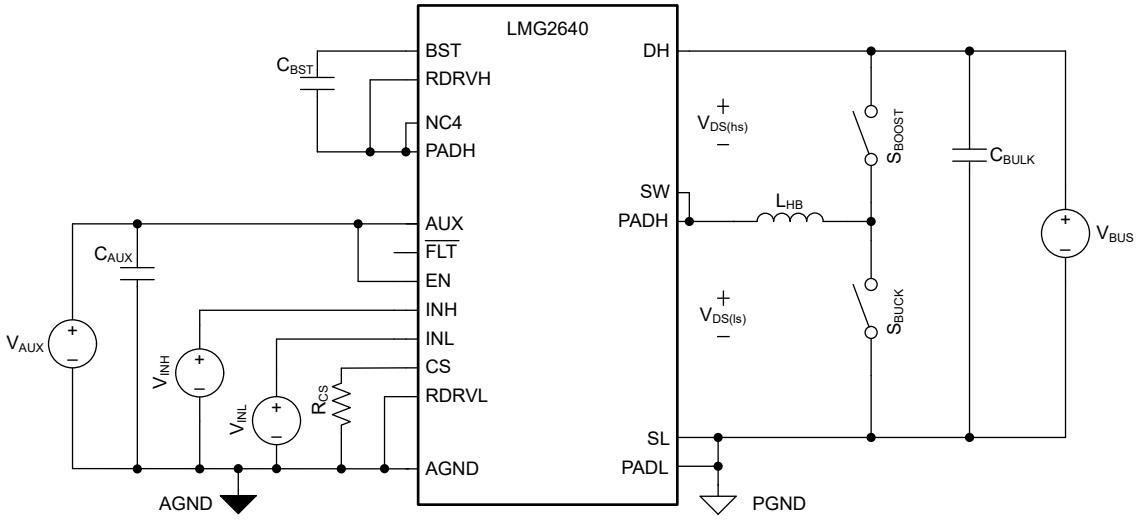


图 6-1. GaN 功率 FET 开关参数测试电路

表 6-1. GaN 功率 FET 开关参数测试电路配置详细信息

配置	待测试 GaN FET	充当二极管的 GaN FET	S_{BOOST}	S_{BUCK}	V_{INL}	V_{INH}
升压	低侧	高侧	闭合	开路	双脉冲波形	0V
降压	高侧	低侧	开路	闭合	0V	双脉冲波形

图 6-2 展示了 GaN 功率 FET 开关参数。

GaN 功率 FET 导通转换有三个时序分量：漏极电流导通延迟时间、导通延迟时间和导通上升时间。请注意，导通上升时间与 V_{DS} 80% 至 20% 下降时间相同。

GaN 功率 FET 关断转换具有两个时序分量：关断延迟时间和关断下降时间。请注意，关断下降时间与 V_{DS} 20% 至 80% 上升时间相同。关断时间分量很大程度上取决于 L_{HB} 电流。

与导通上升时间电压差 (240V) 相比，导通压摆率是在较小的电压差 (100V) 下测量的，以获得更快的压摆率，这对 EMI 设计很有用。

Copyright © 2025 Texas Instruments Incorporated

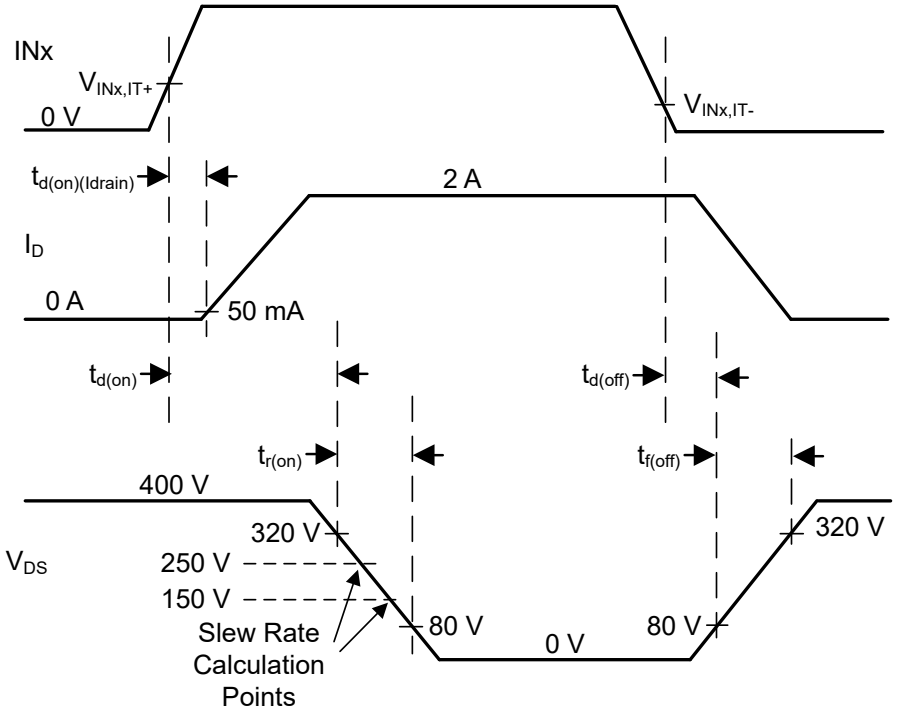


图 6-2. GaN 功率 FET 开关参数

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

LMG2640 是一款高度集成的 650V GaN 功率 FET 半桥，。LMG2640 在 9mm x 7mm QFN 封装中整合了半桥功率 FET、栅极驱动器、低侧电流检测仿真功能、高侧栅极驱动电平转换器和自举二极管功能。

GaN 半桥包含 105mΩ 低侧 FET 和高侧 FET。

LMG2640 内部栅极驱动器可调节驱动电压，以实现出色的 GaN 功率 FET 导通电阻。内部驱动器还可降低总栅极电感和 GaN FET 共源电感，从而提高开关性能，包括共模瞬态抗扰度 (CMTI)。

电流检测仿真功能可在 CS 引脚的输出端产生与低侧漏极电流成比例的电流。CS 引脚通过一个电阻器端接至 AGND，用于生成外部电源控制器的电流检测输入信号。该 CS 引脚电阻取代了与低侧 GaN FET 源极串联的传统电流检测电阻，显著节省了功耗和空间。此外，由于没有与 GaN 源极串联的电流检测电阻，因此可以将低侧 GaN FET 散热焊盘直接连接到 PCB 电源接地端。由于整个器件的电流可通过散热焊盘传导，因此该散热焊盘连接可提高系统的热性能并提供额外的器件布线灵活性。

高侧栅极驱动电平转换器可减少敏感高侧栅极驱动路径的电容耦合，与信号路径占用的 PCB 空间大得多的外部解决方案相比，可降低噪声敏感性并提高 CMTI。此外，与静态电流和启动性能较差的外部解决方案相比，电平转换器对器件静态电流的影响非常小，而且不影响器件启动时间。

AUX 和 BST 之间的自举二极管功能通过智能开关 GaN 自举 FET 实现。由于导通状态 GaN 自举 FET 没有传统自举二极管的正向压降，因此开关 GaN 自举 FET 可提升对 BST 至 SW 之间电容器的充电程度。智能开关 GaN 自举 FET 还避免了传统自举二极管的问题，即 BST 至 SW 之间电容器由于低侧半桥 GaN 功率 FET 中的关断状态第三象限电流而过充。最后，与传统自举二极管相比，该自举二极管具有低电容，并且没有反向恢复电荷，因此可实现更高效的开关。

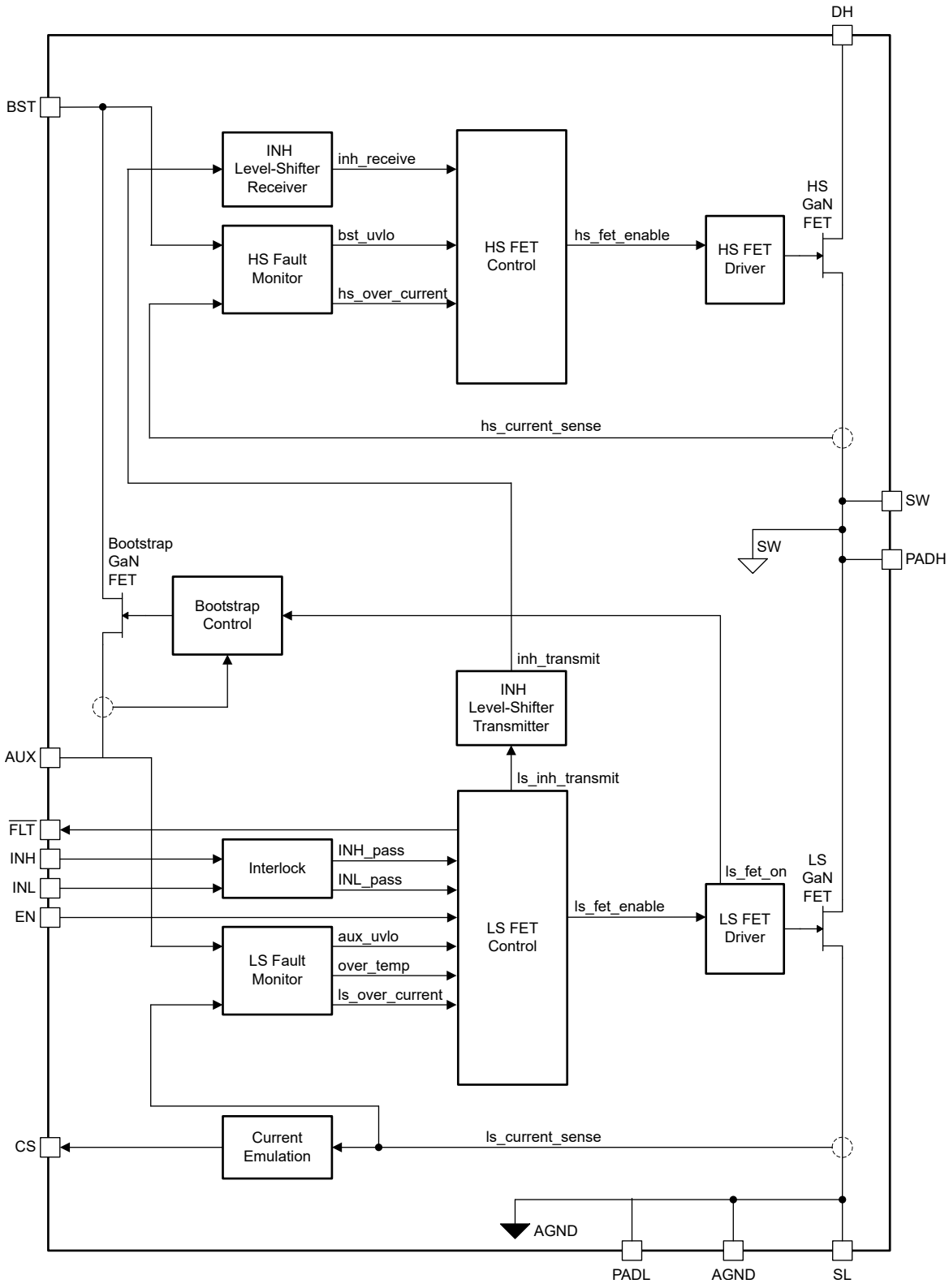
AUX 输入电源宽电压范围与由电源控制器创建的相应宽范围电源轨兼容。BST 输入电源电压范围具有更低的电压值，可补偿自举再充电周期之间的电容压降。AUX/BST 空闲时的低静态电流和快速 BST 启动时间支持转换器突发模式运行，这对于满足政府轻负载效率要求至关重要。通过使用 EN 引脚将器件置于待机模式，可以进一步降低 AUX 静态电流。

INL、INH 和 EN 控制引脚具有高输入阻抗、低输入阈值电压和等于 AUX 电压的最大输入电压。因此，这些引脚可支持低电压和高电压输入信号，并由低功耗输出驱动。

LMG2640 保护功能包括低侧/高侧欠压锁定 (UVLO)、低侧/高侧输入栅极驱动互锁、低侧/高侧逐周期电流限制和过热关断。UVLO 特性还有助于实现转换器良好的运行状况。开漏 $\overline{FLT}$ 输出上报告过热关断。

Copyright © 2025 Texas Instruments Incorporated

7.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

7.3 特性说明

7.3.1 GaN 功率 FET 开关能力

由于硅 FET 长期占据功率开关技术的主导地位，许多设计人员没有意识到铭牌漏源电压不能用作跨技术比较器件的等效点。硅 FET 的铭牌漏源电压由雪崩击穿电压决定。GaN FET 的铭牌漏源电压是根据对数据表规格的长期遵从性设定的。

超过硅 FET 的铭牌漏源电压可能会立即导致损坏或造成永久性损坏。同时，GaN FET 的击穿电压远高于铭牌漏源电压。例如，LMG2640 GaN 功率 FET 的击穿漏源电压超过 800V，这使得 LMG2640 能够在超过相同铭牌额定硅 FET 的条件下运行。

我们借助图 7-1 说明了 LMG2640 GaN 功率 FET 开关能力。该图显示了在开关应用中，LMG2640 GaN 功率 FET 在四个不同开关周期内的漏源电压随时间的变化情况。不对开关频率或占空比进行任何声明。前两个周期显示正常运行，后两个周期显示在罕见的输入电压浪涌下运行。LMG2640 GaN 功率 FET 旨在在零电压开关 (ZVS) 或不连续导通模式 (DCM) 开关条件下开启。

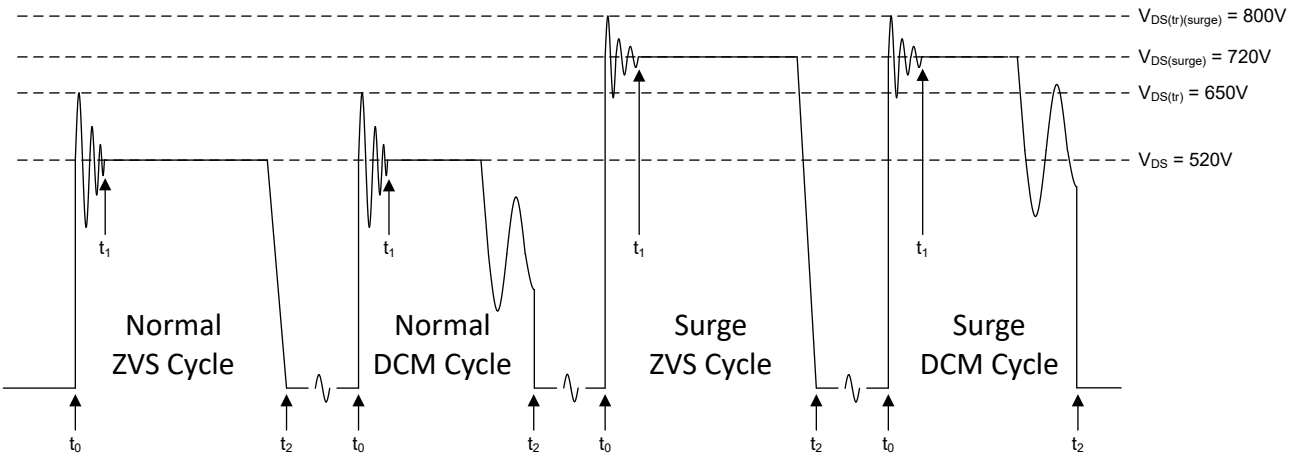


图 7-1. GaN 功率 FET 开关能力

FET 处于导通状态时，每个周期都在 t_0 之前开始。在 t_0 时，GaN FET 关断，寄生元件导致漏源电压以高频振铃。高频振铃已经减弱了 t_1。在 t_1 和 t_2 之间，FET 漏源电压由开关应用的特性响应设置。特性以一条平坦的线（平坦区）显示，但可以有其他响应。在 t_2 时，GaN FET 导通。正常运行时，瞬态振铃电压限制为 650V，平坦电压限制为 520V。对于罕见的浪涌事件，瞬态环电压限制为 800V，平坦电压限制为 720V。

Copyright © 2025 Texas Instruments Incorporated

7.3.2 电流检测仿真

电流检测仿真功能可在 CS 引脚的输出端产生与低侧 GaN 功率 FET 漏极正向电流成比例的电流。电流检测仿真增益 G_{CSE} 的定义是，每有 1A 电流流入低侧 GaN 功率 FET 的漏极，即 I_D，CS 引脚输出 0.616mA 电流，即 I_{CS}。

$$G_{CSE} = I_{CS} / I_D = 0.616mA / 1A = 0.000616 \quad (1)$$

CS 引脚通过一个电阻器 R_{CS} 端接至 AGND，用于生成外部电源控制器的电流检测电压输入信号。

通过求解传统电流检测设计电阻 $R_{CS(trad)}$ 再乘以 G_{CSE} 的倒数来确定 R_{CS}。传统的电流检测设计通过使低侧 GaN 功率 FET 漏极电流 I_D 通过 $R_{CS(trad)}$ 来产生电流检测电压 $V_{CS(trad)}$。LMG2640 通过使 CS 引脚输出电流 I_{CS} 通过 R_{CS} 来创建电流检测电压 V_{CS}。两种设计的电流检测电压必须相同。

$$V_{CS} = I_{CS} \times R_{CS} = V_{CS(trad)} = I_D \times R_{CS(trad)} \quad (2)$$

$$R_{CS} = I_D / I_{CS} \times R_{CS(trad)} = 1 / G_{CSE} \times R_{CS(trad)} \quad (3)$$

$$R_{CS} = 1,623 \times R_{CS(trad)} \quad (4)$$

CS 引脚在内部钳位至典型值 2.5V。例如，如果 CS 引脚上的电流检测电阻断开连接，该钳位可保护易受影响的电源控制器电流检测输入引脚免受过压影响。

图 7-2 展示了电流检测仿真运行。在这两个周期中，CS 引脚电流模拟低侧 FET 启用时的低侧 GaN 功率 FET 漏极电流。第一个周期显示正常运行，其中当控制器电流检测输入阈值跳变时，控制器会关闭低侧 GaN 功率 FET。第二个周期显示一种故障情况，即 LMG2640 *过流保护* 功能会在控制器电流检测输入阈值跳变之前关闭低侧 GaN 功率 FET。在第二个周期中，LMG2640 生成快速斜升的人工电流检测仿真信号来使控制器电流检测输入阈值跳变，从而避免控制器 INL 脉冲挂起。人工信号一直持续到 INL 引脚变为逻辑低电平，这表示控制器重新控制开关运行。

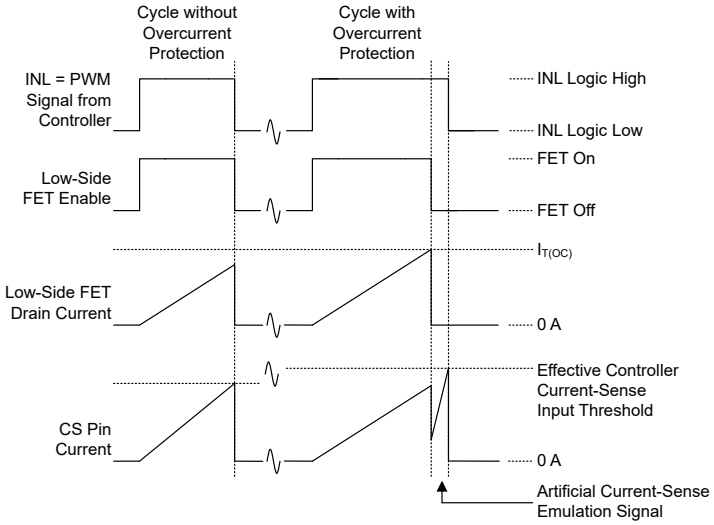


图 7-2. 电流检测仿真运行

Copyright © 2025 Texas Instruments Incorporated

7.3.3 自举二极管功能

内部自举二极管功能通过智能开关 GaN 自举 FET 实现。当 GaN 自举 FET 关断时，GaN 自举 FET 会在 AUX 和 BST 之间的两个方向上阻断电流。

自举二极管功能在低侧 GaN 功率 FET 导通时激活，在低侧 GaN 功率 FET 关断时停用。GaN 自举 FET 在自举二极管非活动阶段保持关断。GaN 自举 FET 在自举活动阶段开始时一次性导通，并被控制为理想二极管，二极管电流从 AUX 流向 BST 为 BST 至 SW 电容器充电。如果在 GaN 自举 FET 导通后检测到从 BST 至 AUX 的小反向电流，则在自举活动阶段的剩余时间内，GaN 自举 FET 将关断。

当 BST 至 SW 电容器在自举活动阶段开始时严重放电时，自举二极管功能会实现限流功能以保护 GaN 自举 FET。如果在 GaN 自举 FET 导通期间没有电流限制情况，或者自举功能在 BST 至 SW 电容器充电时超出电流限制，则在 GaN 自举 FET 导通时间的剩余时间内会禁用电流限制功能。电流限制功能被禁用以节省静态电流。

7.3.4 输入控制引脚（EN、INL、INH）

EN 引脚用于让器件在工作模式和待机模式之间进行切换，如*器件功能模式*中所述。

INL 引脚用于打开和关闭低侧 GaN 功率 FET。

INH 引脚用于打开和关闭高侧 GaN 功率 FET。

输入控制引脚具有用于实现抗噪性能的典型 1V 输入电压阈值迟滞。这些引脚还具有典型的 400kΩ 下拉电阻，可防止输入悬空。400kΩ 在高于 4V 的典型输入电压下达到饱和，以将最大输入下拉电流限制为 10μA 典型值。

INL 导通操作受以下条件的影响：1) *待机模式*，2) *AUX UVLO*，3) INH 控制*互锁*，4) 低侧*过流保护*，以及 5) *过热保护*。

INH 导通操作受以下条件的影响：1) *待机模式*，2) *AUX UVLO*，3) INL 控制*互锁*，4) 高侧*过流保护*，以及 5) *过热保护*。

待机模式、*AUX UVLO* 和*过热保护*是通用的 INL/INH 阻断条件。这些条件会让两个 GaN 半桥功率 FET 保持关断，而不受 INL 和 INH 的影响。图 7-3 显示了通用阻断条件的运行。请注意，高侧 FET 不会在转换 4 时导通。如果没有通用阻断条件，仅当 INH 变为逻辑高电平时，INH 才会导通高侧 FET。这避免了不完整的高侧 FET 导通周期，该周期会在转换器中产生不必要的尖峰电压。

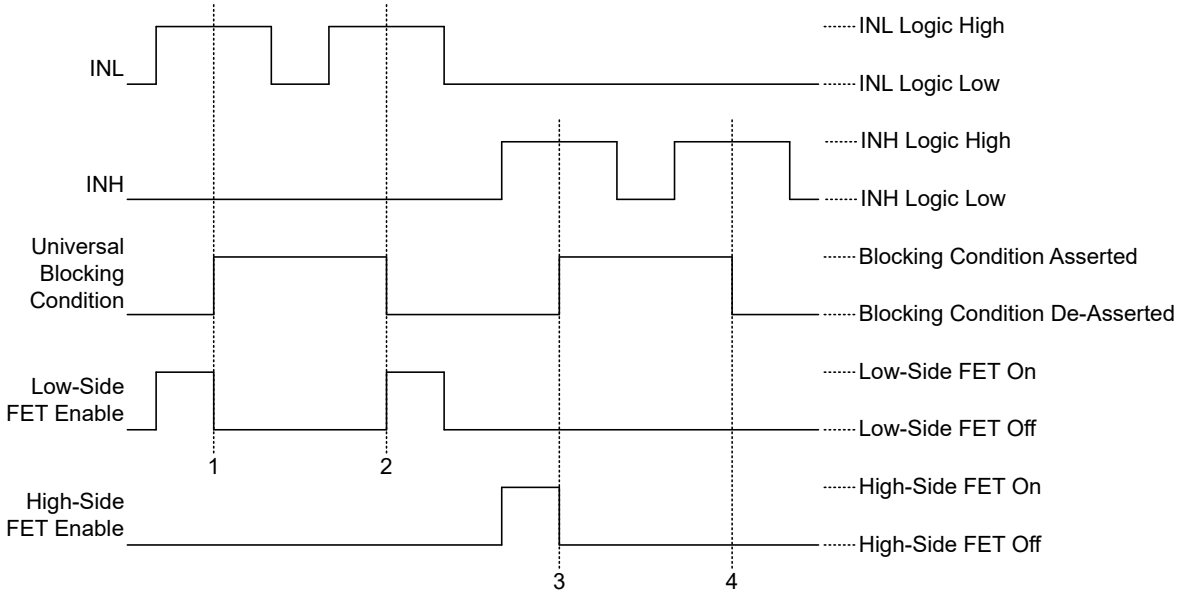


图 7-3. 通用 INL/INH 阻断条件运行

Copyright © 2025 Texas Instruments Incorporated

7.3.5 INL - INH 互锁

当 INL 和 INH 引脚都为逻辑高电平时，互锁功能可防止低侧和高侧 GaN 功率 FET 同时导通。如果 INL 或 INH 引脚中任意一个为逻辑高电平，另一个引脚为逻辑低电平，则前者会获得互锁的控制权。INL 或 INH 引脚获得对互锁的控制权后，只要保持逻辑高电平，它就会保持控制权。只有控制互锁的 INL 或 INH 引脚通过互锁传递逻辑高电平信号。

如果在*输入控制引脚*中定义的任何通用 INL/INH 阻断条件变为有效，则互锁会被禁用。禁用互锁时，互锁输出保持在逻辑低电平。如果在启用互锁后 INL 和 INH 均为逻辑高电平，则 INL 优先，获得互锁控制权并通过互锁传递 INL 逻辑高电平信号。

7.3.6 AUX 电源引脚

AUX 引脚作为低侧内部电路的输入电源，也是通过内部自举二极管功能为 BST 至 SW 电容器充电的电源。

7.3.6.1 AUX 上电复位

如果 AUX 电压低于 AUX 上电复位电压，则 AUX 上电复位将禁用所有低侧功能。AUX 上电复位电压未指定，但大约为 5V。如果 AUX 电压高于 AUX 上电复位电压，则 AUX 上电复位将启用过热保护功能。

7.3.6.2 AUX 欠压锁定 (UVLO)

如果 AUX 电压低于 AUX UVLO 电压，则 AUX UVLO 会使低侧和高侧 GaN 功率 FET 保持关断状态。AUX UVLO 电压设置为高于 BST UVLO 电压，因此高侧 GaN 功率 FET 可在低侧 GaN 功率 FET 工作时运行。AUX UVLO 电压与 BST UVLO 电压之间的电压间隔，是为了考虑 AUX 电源对 BST 至 SW 电容的自举充电不完整的工作条件。AUX UVLO 电压迟滞可防止 UVLO 电压跳闸点附近出现开关抖动。

Copyright © 2025 Texas Instruments Incorporated

7.3.7 BST 电源引脚

BST 引脚是高侧内部电路的输入电源。BST 引脚和相应的高侧电路以 SW 引脚为基准。BST 引脚通过内部自举二极管功能由低侧 AUX 电源引脚供电。当低侧 GaN FET 关断时，自举功能处于非活动状态，且 BST 引脚必须依赖外部连接 SW 的电容器作为 BST 电源。

设计 BST 至 SW 电容时需要在高侧充电时间和保持时间之间进行权衡。建议使用陶瓷电容作为 SW 至 SW 外部电容，该电容在工作条件下至少为 10nF。

7.3.7.1 BST 上电复位

BST 上电复位电压以 SW 引脚为基准。如果 BST 至 SW 电压低于 BST 上电复位电压，则 BST 上电复位将禁用所有高侧功能。BST 上电复位电压未指定，但大约为 5V。

7.3.7.2 BST 欠压锁定 (UVLO)

BST UVLO 电压以 SW 引脚为基准。BST UVLO 仅控制高侧 GaN 功率 FET。BST UVLO 不控制低侧 GaN 功率 FET。BST UVLO 包含两个独立的 UVLO 功能，用于创建双电平 BST UVLO。上部 BST UVLO 称为 BST 导通 UVLO，仅控制高侧 GaN 功率 FET 是否导通。下部 BST UVLO 称为 BST 关断 UVLO，仅控制在高侧 GaN 功率 FET 已导通后高侧 GaN 功率 FET 是否关断。双电平 UVLO 的工作方式与具有宽迟滞的单个 UVLO 不同。

图 7-4 展示了 BST UVLO 的运行。如果 BST 至 SW 电压低于 BST 导通 UVLO 电压（INH 脉冲 1、2 和脉冲 5），BST 导通 UVLO 可防止高侧 GaN 功率 FET 在 INH 逻辑高电平上升沿导通。在高侧 GaN 功率 FET 成功导通后，系统会忽略 BST 导通 UVLO，而 BST 关断 UVLO 输出将在 INH 逻辑高电平脉冲（INH 脉冲 3、4 和 6）的剩余时间内受到监视。如果 BST 至 SW 电压降至低于 BST 关断 UVLO 电压（INH 脉冲 6），则 BST 关断 UVLO 会在 INH 逻辑高电平脉冲的剩余时间内关断高侧 GaN 功率 FET。

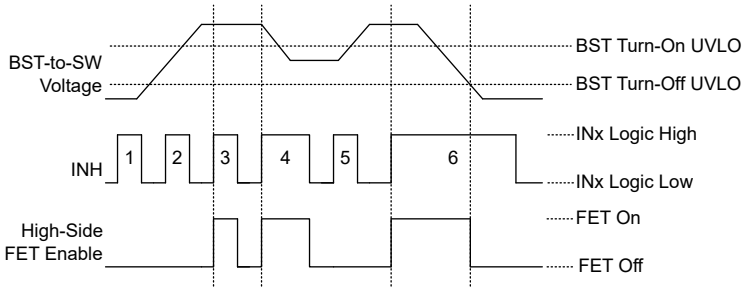


图 7-4. BST UVLO 运行

双电平 BST UVLO 的有效电压迟滞是上限和下限 BST UVLO 电压之间的差值。可以使用相同的迟滞来实现单级 BST UVLO，但允许后续高侧 GaN 功率 FET 在迟滞范围内的任何位置导通。双电平 UVLO 设计可避免迟滞范围内的任何导通。单电平 BST UVLO 会允许 INH 脉冲 5 导通高侧 GaN 功率 FET。

双电平 BST UVLO 支持宽迟滞，同时确保 BST 至 SW 电容器在每个 INH 脉冲开始时充分充电。宽迟滞允许使用较小的 BST 至 SW 电容器，这对于缩短高侧启动时间非常有用。INH 脉冲开始时有足够的电容电荷有助于确保高侧 GaN 功率 FET 不会在 INH 脉冲中过早关闭，以免导致转换器中不必要的尖峰电压。

Copyright © 2025 Texas Instruments Incorporated

7.3.8 过流保护

LMG2640 可为两个半桥 GaN 功率 FET 实现逐周期过流保护。图 7-5 展示了逐周期过流运行。每个 INx 逻辑高电平周期都会导通 GaN 功率 FET。如果 GaN 功率 FET 漏极电流超过过流阈值电流，过流保护会在 INx 逻辑高电平的剩余时间内关断 GaN 功率 FET。

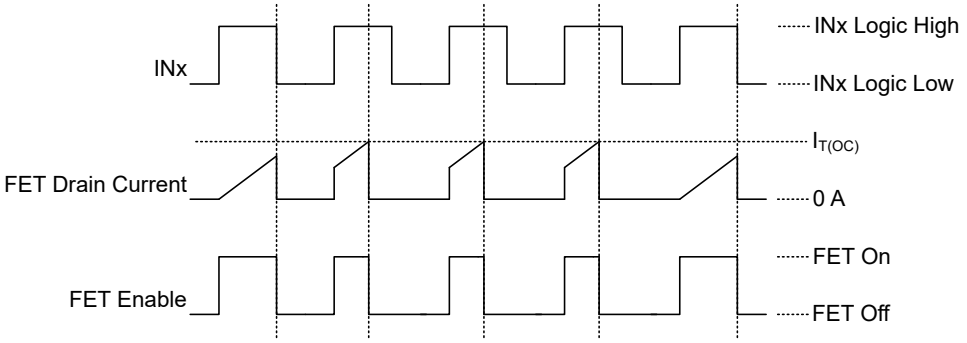


图 7-5. 逐周期过流保护运行

未在 $\overline{FLT}$ 引脚上报告过流保护事件。逐周期过流保护功能可更大限度地减少系统中断，因为不会报告该事件，并且保护功能允许 GaN 功率 FET 在每个 INx 周期导通一次。

低侧/高侧过流保护阈值电流设置为与不同的 GaN 功率 FET 尺寸相对应的不同级别。如*电流检测仿真*中所述，在低侧 GaN 功率 FET 由低侧过流保护功能关断后，会产生人工 CS 引脚电流，以防止控制器进入挂起状态。

7.3.9 过热保护

如果 LMG2640 温度高于过热关断温度，过热保护功能会关断低侧和高侧 GaN 功率 FET。过热关断迟滞可避免不稳定的热循环。置位过热保护后，$\overline{FLT}$ 引脚上会报告过热故障。这是 $\overline{FLT}$ 引脚上报告的唯一故障事件。当 AUX 电压高于 *AUX 上电复位*电压时，将启用过热保护。当 AUX 电源轨在冷却阶段下降时，低 AUX 上电复位电压有助于过热保护功能保持运行。

7.3.10 故障报告

LMG2640 仅报告过热故障。*过热保护*功能置位后，$\overline{FLT}$ 引脚上会报告过热故障。$\overline{FLT}$ 引脚是低电平有效的开漏输出，因此该引脚在出现过热故障时拉至低电平。

7.4 器件功能模式

LMG2640 有两种由 EN 引脚控制的运行模式。当 EN 为逻辑高电平时，器件处于工作模式；当 EN 引脚为逻辑低电平时，器件处于待机模式。在工作模式下，半桥 GaN 功率 FET 由 INL 和 INH 引脚控制。在待机模式下，INL 和 INH 引脚被忽略，半桥 GaN 功率 FET 保持关断，AUX 静态电流降至 AUX 待机静态电流。

Copyright © 2025 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

LMG2640 是一款 GaN 功率 FET 半桥，由于它在单个封装中集成了半桥 FET、FET 栅极驱动器、高侧栅极驱动电平转换器、自举二极管功能和电流检测仿真，因此即插即用，非常简单。得益于集成栅极驱动器、低 IN 输入阈值电压和宽 AUX 输入电源电压，LMG2640 能够与业内常见的电源控制器无缝配合。

8.2 典型应用

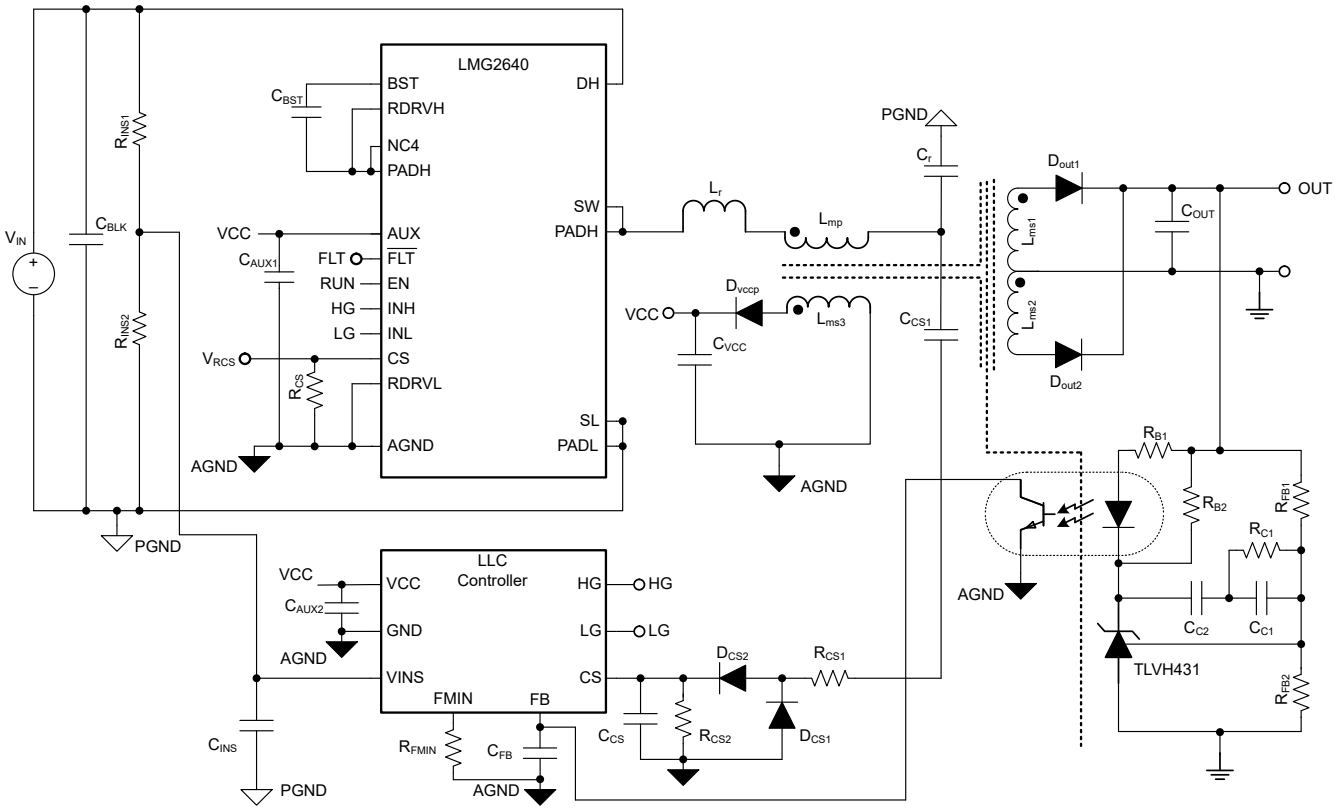


图 8-1. 280W LLC 转换器应用

8.2.1 设计要求

表 8-1. 设计规格

规格	值
输入直流电压范围	365VDC 至 410VDC
输出直流电压	12V
输出额定电流	23.34A
390V 直流时的输出电压纹波	120mVpp
390V 直流时的峰值效率	93%

Copyright © 2025 Texas Instruments Incorporated

8.2.2 详细设计过程

典型应用展示了 LMG2640 与 LLC 控制器的结合，以创建高功率密度、高效率的 280W LLC 转换器。280W LLC 转换器应用根据典型应用进行了调整。此详细设计过程重点讨论了在应用中使用 LMG2640 的具体细节。

8.2.3 应用曲线

以下波形显示了典型的开关波形。红色迹线是 LMG2640 的开关节点电压，绿色迹线是 C_{CS} 两端的电流检测电压，蓝色迹线是 V_{OUT}。

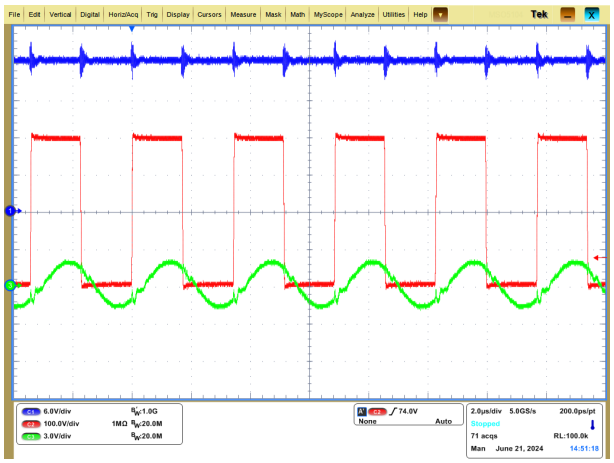


图 8-2. V_{IN} = 400VDC

8.3 电源相关建议

LMG2640 由连接到 AUX 引脚的单个输入电源供电。BST 引脚由 AUX 引脚在内部供电。LMG2640 应在由电源控制器管理和使用的同一电源下运行。建议的 10V 至 26V 宽 AUX 电压范围与共模控制器电源引脚导通和 UVLO 电压限制重叠。

建议使用陶瓷电容作为 SW 至 SW 外部电容，该电容在工作条件下至少为 10nF。

建议使用陶瓷电容作为 AUX 外部电容，该电容在工作条件下至少是 BST 至 SW 电容的三倍。

Copyright © 2025 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

8.4.1.1 焊点应力消除

大型 QFN 封装可能会承受较高的焊点应力。建议采用几种最佳实践来消除焊点应力。首先，必须遵循表 4-1 中有关 NC1、NC2 和 NC3 固定引脚的说明。其次，所有电路板焊盘都必须为非阻焊层限定 (NSMD)，如*机械数据* 中的焊盘图案示例所示。最后，连接到 NSMD 焊盘的任何电路板迹线必须小于其所连接焊盘侧焊盘宽度的 2/3。只要迹线未被阻焊层覆盖，迹线就必须保持这个 2/3 的宽度限值。将布线置于阻焊层下方后，对布线尺寸就没有限制了。*布局示例* 中遵循了所有这些建议。

8.4.1.2 信号接地连接

使用仅在一个位置连接的单独信号和电源接地来设计电源。将 LMG2640 AGND 引脚连接到信号接地。将 LMG2640 SL 引脚和 PADL 散热焊盘连接到电源接地端。LMG2640 用作信号和电源接地端之间的单个连接点，因为 AGND 引脚、SL 引脚和 PADL 散热焊盘在内部连接。请勿将信号和电源接地端连接到电路板上的任何其他位置，下一句中建议的除外。为方便在未安装 LMG2640 的情况下进行电路板调试，请将 AGND 焊盘连接到 PADL 散热焊盘，如*布局示例*部分中所示。

8.4.1.3 CS 引脚信号

如方程式 4 所示，电流检测信号阻抗比传统电流检测信号高三个数量级。这种较高的阻抗对电流检测信号噪声敏感性产生了影响。尽量减少将电流检测信号布设在任何有噪声的布线附近。将电流检测电阻和任何滤波电容器放置在布线的远端，靠近控制器电流检测输入引脚。

8.4.2 布局示例

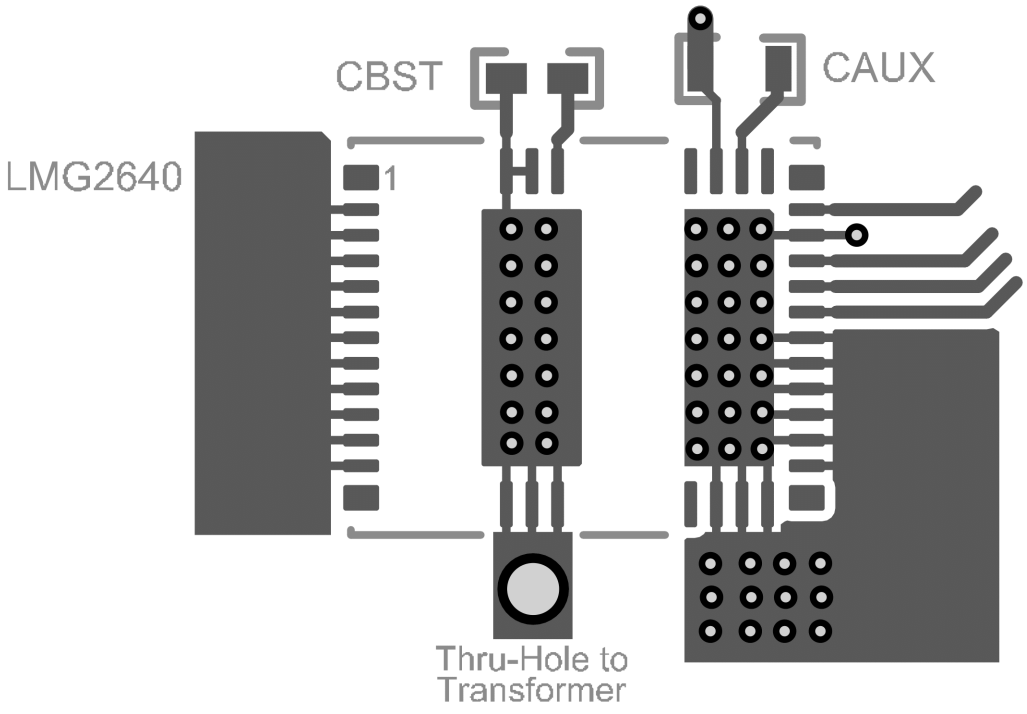


图 8-3. PCB 顶层（第一层）

Copyright © 2025 Texas Instruments Incorporated

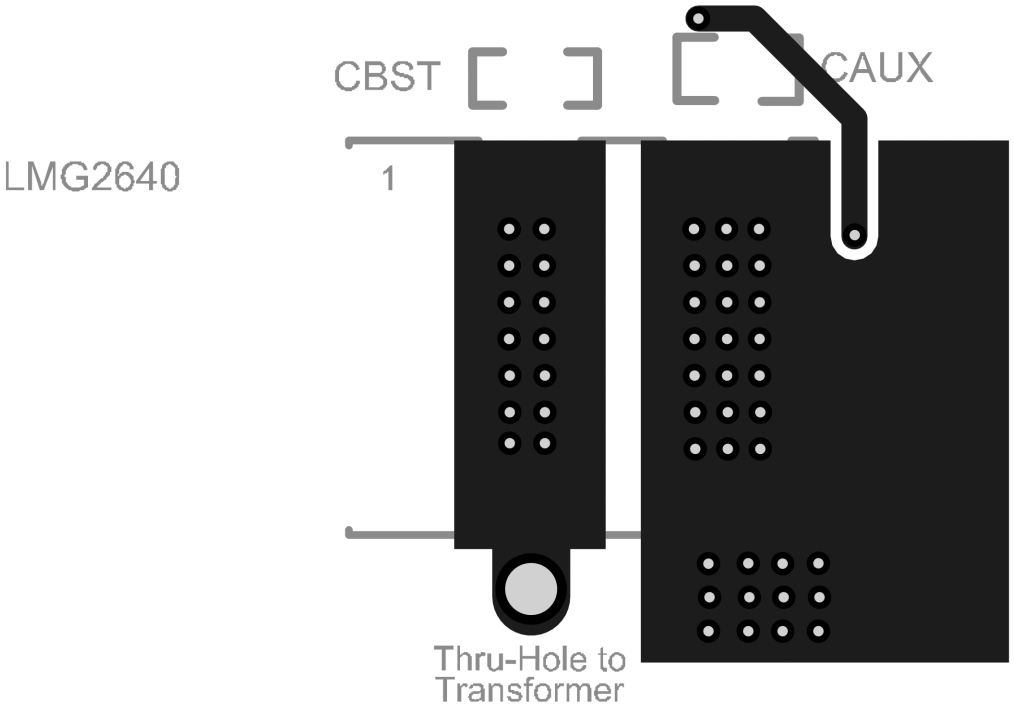


图 8-4. PCB 内层（第二层）

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

LMG2640 半桥子卡评估模块

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
November 2024	*	初始发行版

Copyright © 2025 Texas Instruments Incorporated

11 机械、封装和可订购信息

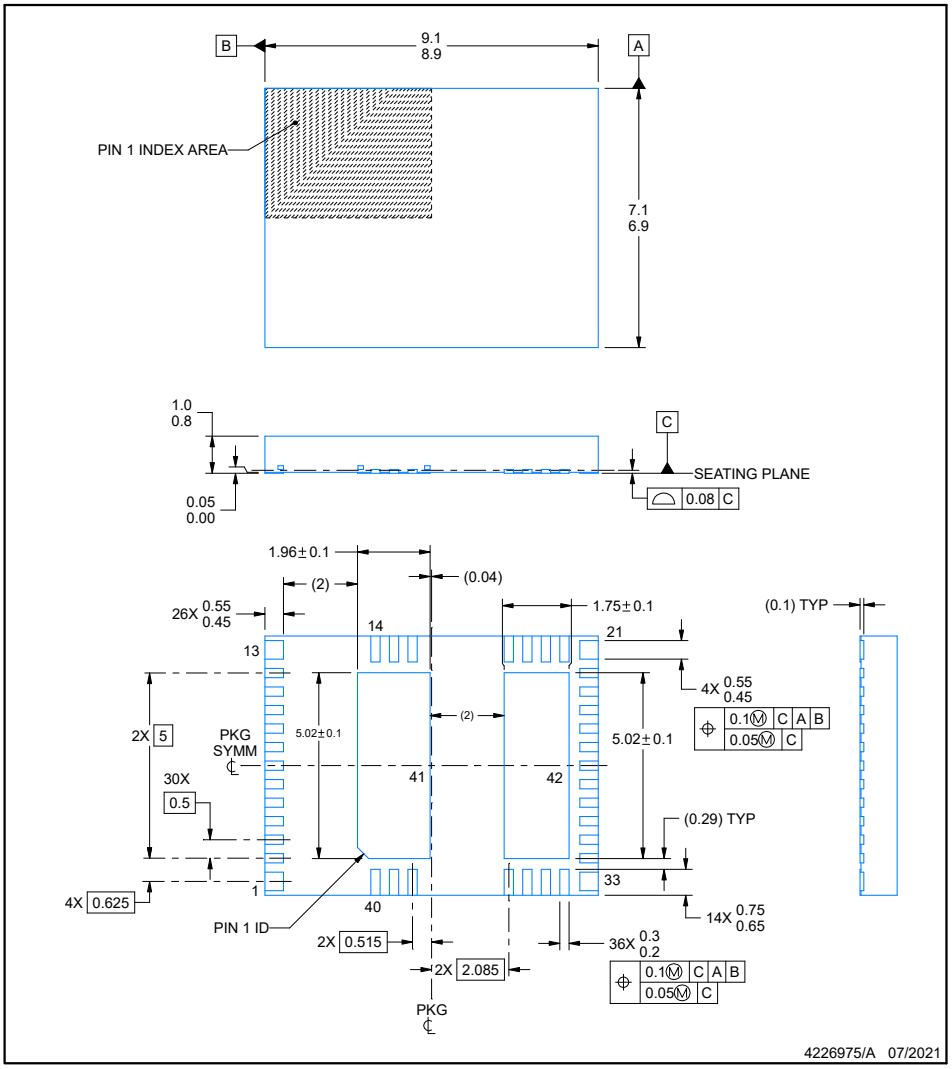
以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

RRG0040A-C01

PACKAGE OUTLINE

VQFN - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

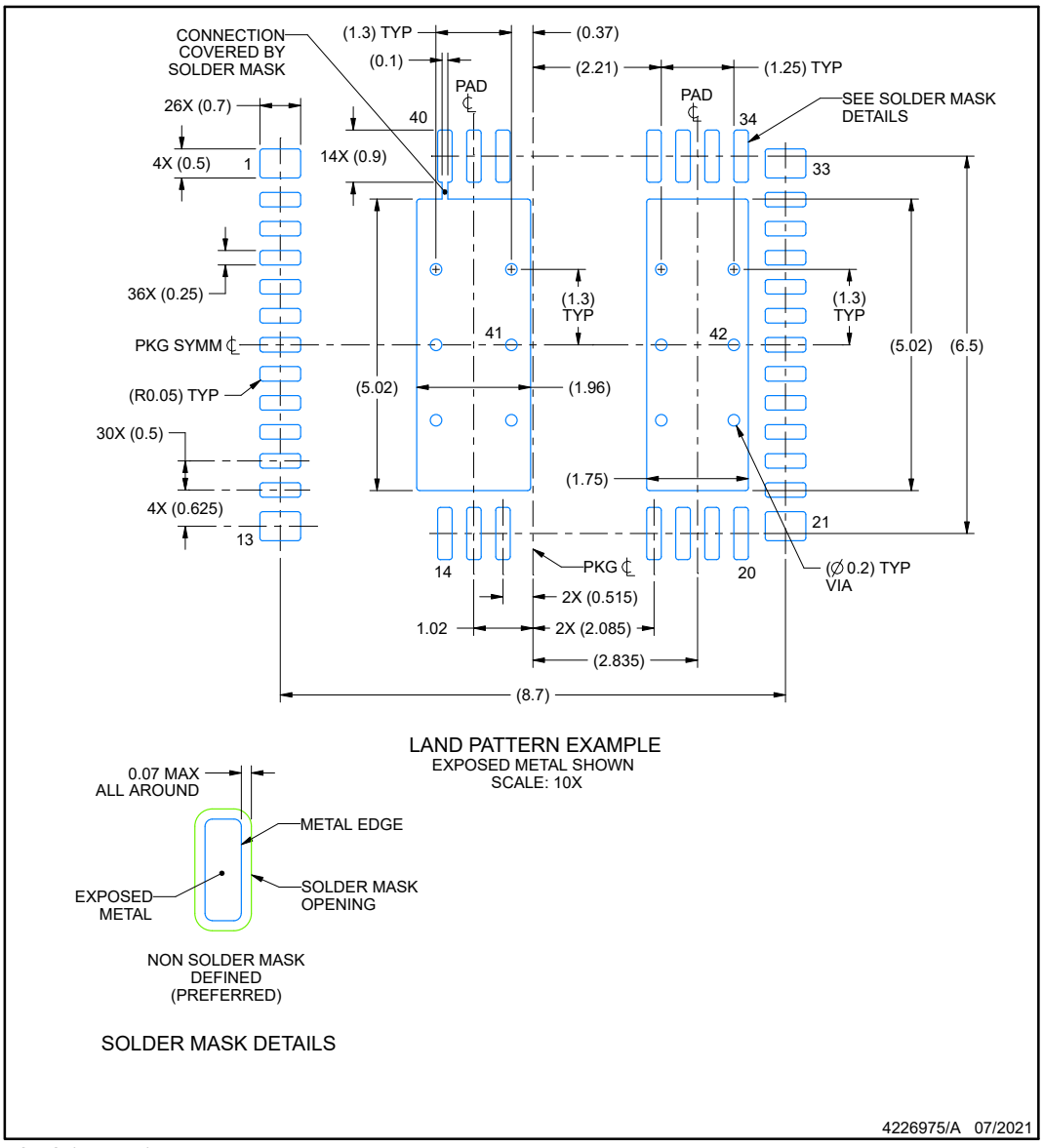
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

RRG0040A-C01

VQFN - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

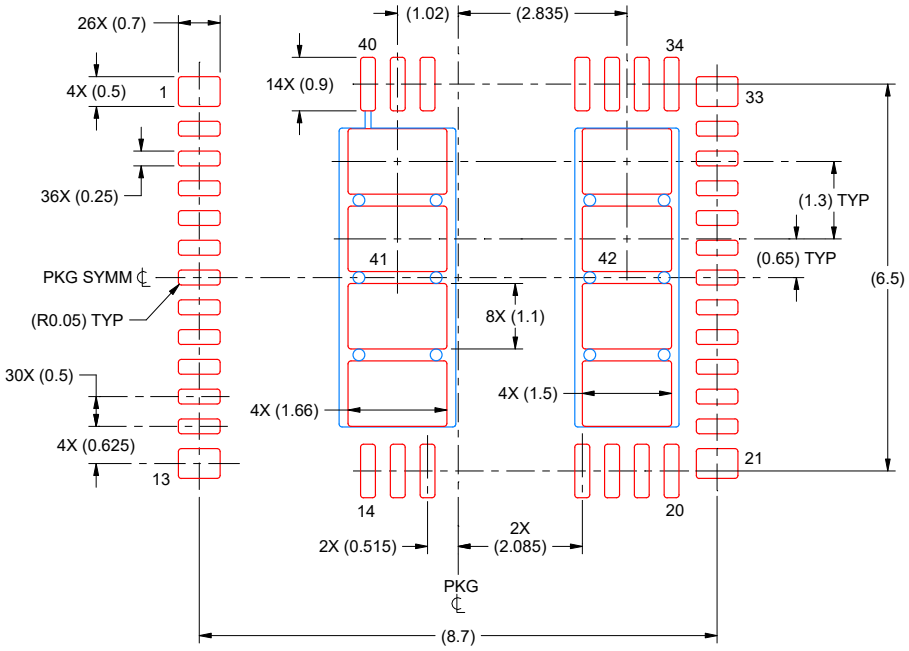
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RRG0040A-C01 — **VQFN - 1.0 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 10X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
EXPOSED PAD 41: 74%
EXPOSED PAD 42: 75%

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG2640RRGR	Active	Production	VQFN (RRG) | 40	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	-40 to 125	LMG2640 NNNNC
LMG2640RRGR.A	Active	Production	VQFN (RRG) | 40	2000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-3-260C-168HRS	See LMG2640RRGR	LMG2640 NNNNC

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月