TPLD1201 具有 8-GPIO 的可编程逻辑器件

1 特性

- 工作特性
  - 工作温度范围：-40°C 至 125°C
  - 宽电源电压范围：1.71V 至 5.5V
- 可配置的宏单元
  - 2 位、3 位和 4 位查询表
  - 具有和不具有复位/置位选项的 D 型触发器或锁存器
  - 8 位管道延迟
  - 计数器和延迟发生器
  - 可编程抗尖峰脉冲滤波器或边沿检测器
  - 分立式模拟比较器
  - 电压基准
  - 振荡器
- 灵活的数字 I/O 功能
  - 所有数字信号均可连接任意 GPIO
  - 数字输入模式：带和不带施密特触发器的数字输入，低电压数字输入
  - 数字输出模式：推挽、开漏 NMOS、三态
- 开发工具
  - InterConnect Studio
  - 评估模块
  - TPLD 编程板

2 应用

- 工厂自动化和控制
- 通信设备
- 零售自动化和支付
- 测试和测量
- 专业音频、视频和标牌
- 个人电子产品

3 说明

TPLD1201 是 TI 可编程逻辑器件 (TPLD) 系列器件中的一款，具有多用途可编程逻辑 IC，支持组合逻辑、顺序逻辑和模拟块。TPLD 提供了一个完全集成的低功耗解决方案来实现常见的系统功能，例如时序延迟、电压监控器、系统复位、电源序列发生器、I/O 扩展器等。此器件具有可配置的 I/O 结构，扩展了混合信号环境中的兼容性，减少了所需的分立式元件的数量。

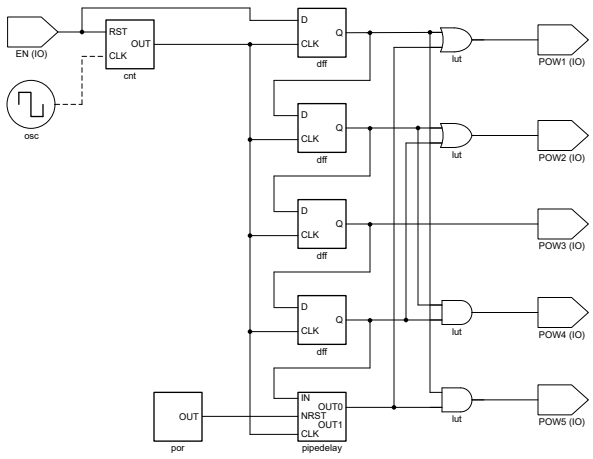
系统设计人员可以通过 InterConnect Studio 创建电路并配置宏蜂窝、I/O 引脚和互连，方法是临时模拟非易失性存储器或对一次性可编程 (OTP) 进行永久编程。TPLD1201 由硬件和软件生态系统提供支持，配备应用手册、参考设计和设计示例。如需了解详情和访问设计工具，请访问 ti.com。

封装信息

器件型号	封装(1)	封装尺寸(2)
TPLD1201	RWB（X2QFN，12）	1.6mm × 1.6mm
	DGS（VSSOP，10）	4.9mm × 3.0mm
	RWS（X2QFN，12）	1.6mm × 1.6mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



简化版应用

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....5
5.5 电气特性.....5
5.6 电源电流特性.....8
5.7 开关特性.....9
5.8 典型特性.....13
6 参数测量信息.....14
7 详细说明.....16
7.1 概述.....16
7.2 功能方框图.....17
7.3 特性说明.....18
7.4 器件功能模式.....39
8 应用和实施.....41
8.1 应用信息.....41
8.2 典型应用.....41
8.3 电源相关建议.....44
8.4 布局.....44
9 器件和文档支持.....46
9.1 接收文档更新通知.....46
9.2 支持资源.....46
9.3 商标.....46
9.4 静电放电警告.....46
9.5 术语表.....46
10 修订历史记录.....46
11 机械、封装和可订购信息.....46

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

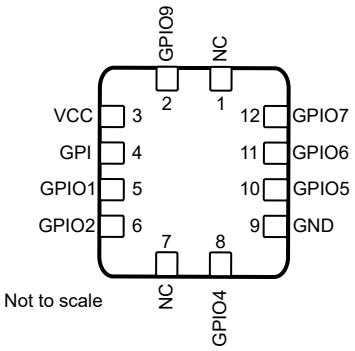


图 4-1. RWB 封装，12 引脚 X2QFN（顶视图）

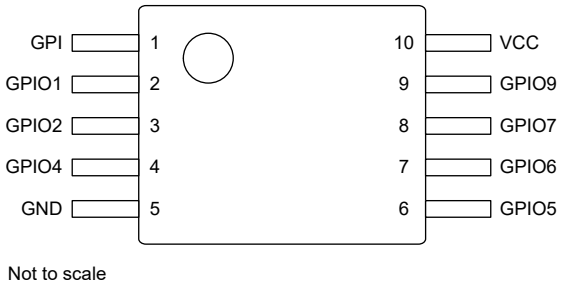


图 4-2. DGS 封装，10 引脚 VSSOP（俯视图）

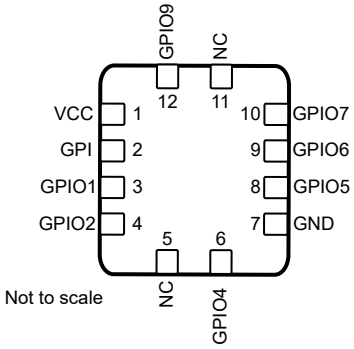


图 4-3. RWS 封装，12 引脚 X2QFN（顶视图）

表 4-1. 引脚功能

引脚					说明	
名称	RWB	DGS	RWS	类型(1)	主要功能	辅助功能（如果有）
GPI	4	1	2	I	通用输入(3)	
GPIO1	5	2	3	I/O	通用 I/O	ACMP0 IN+
GPIO2	6	3	4	I/O	通用 I/O	外部 VREF IN/ACMP0 或 ACMP1 IN-
GPIO4	8	4	6	I/O	具有输出使能 (OE) 的通用 I/O(4)	ACMP1 IN+
GND	9	5	7	P	接地	
GPIO5	10	6	8	I/O	通用 I/O	
GPIO6	11	7	9	I/O	通用 I/O	
GPIO7	12	8	10	I/O	具有输出使能 (OE) 的通用 I/O(4)	内部 VREF OUT
GPIO9	2	9	12	I/O	通用 I/O	外部 OSC 输入
VCC	3	10	1	P	电源电压	
NC	1	—	5	—	无内部连接(2)	
NC	7	—	11	—	无内部连接(2)	

(1) P = 电源，I/O = 输入/输出，I = 输入
(2) 内部未连接的引脚必须接地或保持悬空
(3) 通用输入 (GPI) 引脚将在编程期间保持高电压 (VPP)。如果执行系统内编程，请特别注意连接到该引脚的外设。
(4) 输出使能 (OE) 连接可通过连接多路复用器获得，并可在 InterConnect Studio 中进行配置。

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	V_{CC} 上相对于 GND 的电源电压		-0.5	7	V
V_I	输入电压		-0.5	V_{CC} + 0.5	V
V_O	输出电压		-0.5	V_{CC} + 0.5	V
I_{IOK}	输入-输出钳位电流	V_{IO} < 0 或 V_{IO} > V_{CC}	-50	50	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}	-50	50	mA
I_{DC}	最大平均电流或直流电流（通过每个引脚）	推挽 1X		12	mA
		推挽 2X		17	
		开漏 NMOS 1X		18	
		开漏 NMOS 2X		28	
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC 规范 JS-002，所有引脚(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			V_{CC}	最小值	最大值	单位
V_{CC}	电源电压			1.71	5.5	V
V_I	输入电压			0	V_{CC}	V
V_O	输出电压			0	V_{CC}	V
V_{AI}	模拟输入电压	正输入 (ACMP IN+)		0	V_{CC}	V
		负输入（ACMP IN-、外部 VREF）		0.15	1.2	
V_{IH}	高电平输入电压	逻辑输入	1.71V 至 5.5V	0.7 × V_{CC}		V
		低压逻辑输入	1.8V ± 0.09V	0.95		
			3.3V ± 0.3V	1.2		
			5V ± 0.5V	1.3		
V_{IL}	低电平输入电压	逻辑输入	1.71V 至 5.5V		0.3 × V_{CC}	V
		低压逻辑输入	1.8V ± 0.09V		0.40	
			3.3V ± 0.3V		0.55	
			5V ± 0.5V		0.65	

Copyright © 2026 Texas Instruments Incorporated

5.3 建议运行条件（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

		V_{CC}	最小值	最大值	单位
$F_{(EXT)}$	外部振荡器频率	1.8V ± 0.09V		8	MHz
		3.3V ± 0.3V		8	
		5V ± 0.5V		8	
T_A	环境温度		-40	125	°C

5.4 热性能信息

封装	引脚	热指标(1)						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
RWB (X2QFN)	12	157.6	50.3	95.5	0.8	95.5	—	°C/W
DGS (VSSOP)	10	152.7	60.8	88.9	4.8	87.2	—	°C/W
RWS (X2QFN)	12	157.6	50.3	95.5	0.8	95.5	—	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
电源和上电复位								
V_{PORR}	上电复位电压，V_{CC} 上升		$V_I = V_{CC}$ 或 GND，$I_O = 0$	1.71V 至 5.5V	1.25	1.30	1.40	V
V_{PORF}	上电复位电压，V_{CC} 下降		$V_I = V_{CC}$ 或 GND，$I_O = 0$	1.71V 至 5.5V	1.20	1.26	1.35	V
t_{SU}	启动时间		从 V_{CC} 上升至超过 V_{PORR}	1.71V 至 5.5V		245		µs
V_{PP}	编程电压				7.5		8	V
数字 IO								
V_{T+}	正向输入阈值电压	具有施密特触发的逻辑输入		1.8V ± 0.09V	0.94		1.27	V
				3.3V ± 0.3V	1.55		2.30	
				5V ± 0.5V	2.21		3.19	
V_{T-}	负向输入阈值电压	具有施密特触发的逻辑输入		1.8V ± 0.09V	0.58		0.94	V
				3.3V ± 0.3V	1.1		1.79	
				5V ± 0.5V	1.63		2.7	
V_{HYS}	施密特触发迟滞 ($V_{T+} - V_{T-}$)	具有施密特触发的逻辑输入		1.8V ± 0.09V	0.20		0.51	V
				3.3V ± 0.3V	0.33		0.61	
				5V ± 0.5V	0.42		0.75	
V_{HYS}	GPI 迟滞电压	适用于 IN0 的迟滞电压		1.71V 至 5.5V			0.2	V

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	推挽 1X 或开漏 PMOS 1X	I_{OH} = -100μA	1.8V ± 0.09V	1.68			V
		推挽 2X 或开漏 PMOS 2X			1.69			
		推挽 1X 或开漏 PMOS 1X	I_{OH} = -3mA	3.3V ± 0.3V	2.60			
		推挽 2X 或开漏 PMOS 2X			2.71			
		推挽 1X 或开漏 PMOS 1X	I_{OH} = -5mA	5V ± 0.5V	3.99			
		推挽 2X 或开漏 PMOS 2X			4.13			
V_{OL}	低电平输出电压	推挽 1X	I_{OL} = 100μA	1.8V ± 0.09V			0.038	V
		推挽 2X					0.034	
		开漏 NMOS 1X					0.045	
		开漏 NMOS 2X					0.02	
		推挽 1X	I_{OL} = 3mA	3.3V ± 0.3V			0.1	
		推挽 2X					0.1	
		开漏 NMOS 1X					0.1	
		开漏 NMOS 2X					0.1	
		推挽 1X	I_{OL} = 5mA	5V ± 0.5V			0.12	
		推挽 2X					0.12	
		开漏 NMOS 1X					0.12	
		开漏 NMOS 2X					0.12	
I_I	输入漏电流	所有引脚	V_I = V_{CC}	1.71V 至 5.5V			±1	μA
			V_I = GND	1.71V 至 5.5V			±1	
I_{OZ}	关闭状态（高阻态）输出电流	IO4、IO7	V_O = 0 至 5.5V				±1	μA
F_{OUT}	最大输出频率(1)	推挽 1X 或推挽 2X	15pF 负载电容	1.8V ± 0.09V			5	MHz
				3.3V ± 0.3V			12	
				5V ± 0.5V			12	
$R_{pu(int)}$	内部上拉电阻					1		mΩ
						100		kΩ
						10		kΩ
$R_{pd(int)}$	内部下拉电阻					1		mΩ
						100		kΩ
						10		kΩ
C_I	输入引脚电容	每个输入引脚	V_I = V_{CC} 或 GND	1.71V 至 5.5V		1.2		pF
C_{IO}	输入-输出引脚电容	每个 I/O 引脚	V_{IO} = V_{CC} 或 GND	1.71V 至 5.5V		2.0		pF
模拟比较器								
t_{start}	开始时间	ACMP 上电延迟	带隙始终开启	1.71V 至 5.5V		130		μs

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{AI}	输入电压	正输入		1.71V 至 5.5V	0		V_{CC}	V
		负输入			0		1.2	
V_{offset}	输入偏移电压	T_A = 25°C	V_{HYS} = 0mV，Gain = 1，VREF= 50mV - 1200mV	1.71V 至 5.5V	-10		10	mV
		– 40°C < T_A ≤ 125°C			-15		15	
dV_{IO}/dT	输入失调电压漂移	– 40°C < T_A ≤ 125°C	V_{HYS} = 0mV，Gain = 1，VREF= 50mV - 1200mV	1.71V 至 5.5V			±8.5	µV/°C
I_B	输入偏置电流						1	µA
C_{ID}	输入电容，差分					3		pF
C_{IM}	输入电容，共模					3		pF
PROP	传播延迟，响应时间	增益 = 1，Vref = 50mV - 1200mV，过驱 = 50mV	低电平到高电平，启用低带宽	1.71V 至 5.5V	1.5			µs
			高电平到低电平启用低带宽		2.5			
			低电平到高电平，禁用低带宽		0.25			
			高电平到低电平禁用低带宽		0.15			
模拟比较器 - 迟滞								
V_{HYS}	内置迟滞	V_{HYS} = 25mV	T_A = 25°C	1.71V 至 5.5V	16	21.6	35	mV
			-40°C 至 125°C		15		40	
		V_{HYS} = 50mV	T_A = 25°C		42	50.7	62	
			-40°C 至 125°C		40		65	
		V_{HYS} = 200mV	T_A = 25°C		170	202	240	
			-40°C 至 125°C		165		245	
模拟比较器 - 输入增益								
R_{sin}	串联输入电阻	增益 = 0.5		1.71V 至 5.5V		1		mΩ
		增益 = 0.33				0.75		
		增益 = 0.25				1		
G_{err}	增益误差	增益 = 0.5		1.71V 至 5.5V	-1		1	%
		增益 = 0.33			-1.25		2.75	
		增益 = 0.25			-1.5		2.5	
电压基准								
VREF	内部 VREF 错误	T_A = 25°C	VREF = 150mV - 300mV	1.71V 至 5.5V	-8.5		8.5	%
		– 40°C < T_A ≤ 125°C			-9		9	
		T_A = 25°C	VREF = 350mV - 600mV		-3		3	
		– 40°C < T_A ≤ 125°C			-4		4	
		T_A = 25°C	VREF = 650mV - 1000mV		-2.5		2.5	
		– 40°C < T_A ≤ 125°C			-4		4	
		T_A = 25°C	VREF = 1050mV - 1200mV		-3		3	
		– 40°C < T_A ≤ 125°C			-3.7		3.7	

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数			测试条件	V_{CC}	最小值	典型值	最大值	单位
VREF	VREF 误差	T_A = 25°C	VREF = 150mV - 300mV	1.71V 至 5.5V	-10.2		10.2	%
		–40°C < T_A ≤ 125°C			-11		11	
		T_A = 25°C	VREF = 350mV - 600mV		-5		5	
		–40°C < T_A ≤ 125°C			-5.5		5.5	
		T_A = 25°C	VREF = 650mV - 1000mV		-3.3		3.3	
		–40°C < T_A ≤ 125°C			-4.3		4.3	
		T_A = 25°C	VREF = 1050mV - 1200mV		-4		4	
		–40°C < T_A ≤ 125°C			-5		5	
I_{LOAD}	输出电流			1.71V 至 5.5V			500	μA
dV_{OUT}/dT	输出电压温漂			1.71V 至 5.5V			550	ppm/°C
dV_{OUT}/dI_{LOAD}	负载调整率			1.71V 至 5.5V		0.1	1	mV/μA

(1) 开漏开关性能将受到使用的上拉电阻器的限制

5.6 电源电流特性

T_A = 25°C（除非另有说明）

参数			测试条件	V_{CC} = 1.8V ± 0.09V			V_{CC} = 3.3V ± 0.3V			V_{CC} = 5V ± 0.5V			单位
				最小值	典型值	最大值	最小值	典型值	最大值	最小值	典型值	最大值	
待机													
I_{CC}	静态电流		输入 = 静态，输出 = 开路，I_O = 0，OSC 关闭		3.41			3.66			4.00		μA
振荡器													
I_{CC}	静态电流	OSC0 启用：25kHz	预分频 = 1		3.21			5.24			10.1		μA
			预分频 = 2		3.14			5.17			10.1		
			预分频 = 4		3.53			5.11			10.1		
			预分频 = 8		3.08			5.28			10.0		
		OSC0 启用：2MHz	预分频 = 1		42.9			56.0			84.9		
			预分频 = 2		35.9			49.0			79.2		
			预分频 = 4		32.5			45.6			75.5		
			预分频 = 8		30.7			43.8			73.8		
模拟比较器													
I_{CC}	静态电流	分立式模拟比较器 (ACMP)	外部 VREF，IN+ = 0V		24.8			26.2			26.8		μA
			附加 ACMP		3.2			4.7			4.7		
电压基准													
I_{CC}	静态电流	电压基准 (VREF)			16.8			18.3			19.9		μA

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性

T_A = 25°C（除非另有说明）

参数			从（输入）	至（输出）	测试条件	V_{CC}	最小值 典型值 最大值	单位
数字 IO								
t_{pd}	延迟		数字输入	推挽输出	上升	1.8V ± 0.09V	46.2	ns
					下降		39.1	
					上升	3.3V ± 0.3V	27.2	
					下降		24.5	
					上升	5V ± 0.5V	22.1	
					下降		21.1	
t_{pd}	延迟		具有施密特触发的数字输入	推挽输出	上升	1.8V ± 0.09V	49.5	ns
					下降		41.5	
					上升	3.3V ± 0.3V	29.3	
					下降		25.3	
					上升	5V ± 0.5V	23.9	
					下降		21.5	
t_{pd}	延迟		低电压数字输入	推挽输出	上升	1.8V ± 0.09V	45.0	ns
					下降		48.1	
					上升	3.3V ± 0.3V	25.4	
					下降		30.3	
					上升	5V ± 0.5V	19.6	
					下降		28.6	
t_{pd}	延迟		数字输入	开漏 NMOS 输出	上升	1.8V ± 0.09V		ns
					下降		38.8	
					上升	3.3V ± 0.3V		
					下降		24.3	
					上升	5V ± 0.5V		
					下降		20.9	
t_{pd}	延迟	输出使能来源引脚	OE	推挽输出	Hi-Z 至 1	1.8V ± 0.09V	45.0	ns
						3.3V ± 0.3V	26.5	
						5V ± 0.5V	21.7	
					Hi-Z 至 0	1.8V ± 0.09V	43.2	ns
						3.3V ± 0.3V	22.6	
						5V ± 0.5V	18.3	
可配置使用逻辑								
t_{pd}	延迟	2 位 LUT	IN	OUT	上升	1.8V ± 0.09V	1.14	ns
					下降		1.32	
					上升	3.3V ± 0.3V	1.14	
					下降		1.31	
					上升	5V ± 0.5V	1.16	
					下降		1.35	

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性（续）

T_A = 25°C（除非另有说明）

参数			从（输入）	至（输出）	测试条件	V_{CC}	最小值 典型值 最大值	单位
t_{pd}	延迟	3 位 LUT	IN	OUT	上升	1.8V ± 0.09V	1.31	ns
					下降		1.53	
					上升	3.3V ± 0.3V	1.31	
					下降		1.53	
					上升	5V ± 0.5V	1.31	
					下降		1.53	
t_{pd}	延迟	4 位 LUT	IN	OUT	上升	1.8V ± 0.09V	1.53	ns
					下降		1.86	
					上升	3.3V ± 0.3V	1.53	
					下降		1.86	
					上升	5V ± 0.5V	1.53	
					下降		1.86	
t_{pd}	延迟	DFF/锁存器	CLK	Q	上升	1.8V ± 0.09V	1.42	ns
					下降		1.44	
					上升	3.3V ± 0.3V	1.42	
					下降		1.44	
					上升	5V ± 0.5V	1.42	
					下降		1.44	
t_{pd}	延迟	DFF/锁存器	nRST/nSET	Q	上升	1.8V ± 0.09V	1.58	ns
					下降		1.58	
					上升	3.3V ± 0.3V	1.58	
					下降		1.58	
					上升	5V ± 0.5V	1.58	
					下降		1.58	
计数器/延迟								
t_{pd}	延迟	计数器 - 延迟模式	IN 的上升沿	OUT 的上升沿	下降沿触发	1.8V ± 0.09V	2.21	ns
			IN 的下降沿	OUT 的下降沿	上升沿触发		2.01	
			IN 的上升沿	OUT 的上升沿	下降沿触发	3.3V ± 0.3V	2.21	
			IN 的下降沿	OUT 的下降沿	上升沿触发		2.01	
			IN 的上升沿	OUT 的上升沿	下降沿触发	5V ± 0.5V	2.21	
			IN 的下降沿	OUT 的下降沿	上升沿触发		2.01	
t_{pw}	脉宽	计数器 - 边沿检测模式	OUT 的上升沿	OUT 的下降沿	上升沿检测	1.8V ± 0.09V	57.6	ns
						3.3V ± 0.3V	61.4	
						5V ± 0.5V	62.0	
					下降沿检测	1.8V ± 0.09V	56.0	
						3.3V ± 0.3V	59.6	
						5V ± 0.5V	60.4	
					双边沿检测	1.8V ± 0.09V	55.9	
						3.3V ± 0.3V	59.7	
						5V ± 0.5V	60.5	
振荡器								

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性（续）

T_A = 25°C（除非另有说明）

参数			从（输入）	至（输出）	测试条件	V_{CC}	最小值	典型值	最大值	单位
f_{err}	振荡器频率误差				OSC025kHz	1.8V ± 0.09V	-5		5	%
						3.3V ± 0.3V	-5		5	
						5V ± 0.5V	-5		5	
					OSC0 2MHz	1.8V ± 0.09V	-5		5	%
						3.3V ± 0.3V	-5		5	
						5V ± 0.5V	-5		5	
t_{d_osc}	振荡器启动延迟				OSC025kHz	1.8V ± 0.09V		11.5		µs
						3.3V ± 0.3V		10.5		
						5V ± 0.5V		9.9		
					OSC0 2MHz	1.8V ± 0.09V		3.3		µs
						3.3V ± 0.3V		2.7		
						5V ± 0.5V		2.5		
t_{set_osc}	振荡器启动稳定时间				OSC025kHz	1.8V ± 0.09V		1		µs
						3.3V ± 0.3V		1		
						5V ± 0.5V		1		
					OSC0 2MHz	1.8V ± 0.09V		7		µs
						3.3V ± 0.3V		7		
						5V ± 0.5V		7		
t_{d_err}	延迟误差				OSC（强制上电）	1.71V 至 5.5V	0		1	CLK 周期
可编程滤波器										
t_{pflt_pw}	脉宽	可编程滤波器 - 边沿检测模式	OUT 的上升沿	OUT 的下降沿	1cell	1.8V ± 0.09V		154.0		ns
						3.3V ± 0.3V		157.3		
						5V ± 0.5V		158.7		
					2 节电池	1.8V ± 0.09V		256.2		ns
						3.3V ± 0.3V		259.7		
						5V ± 0.5V		260.8		
					3 节电池	1.8V ± 0.09V		356.2		ns
						3.3V ± 0.3V		360.3		
						5V ± 0.5V		361.5		
					4 节电池	1.8V ± 0.09V		455.3		ns
						3.3V ± 0.3V		459.6		
						5V ± 0.5V		461.4		
t_{pflt_pd}	延迟	可编程滤波器 - 边沿检测模式			任何单元	1.8V ± 0.09V		22.0		ns
						3.3V ± 0.3V		21.4		
						5V ± 0.5V		21.3		

Copyright © 2026 Texas Instruments Incorporated

5.7 开关特性（续）

T_A = 25°C（除非另有说明）

参数			从（输入）	至（输出）	测试条件	V_{CC}	最小值	典型值	最大值	单位
t_{pflt_d}	延迟	可编程滤波器 - 双边沿延迟模式	IN 的上升/下降沿	OUT 的上升/下降沿	1cell	1.8V ± 0.09V		176.0		ns
						3.3V ± 0.3V		178.7		
						5V ± 0.5V		161.0		
					2 节电池	1.8V ± 0.09V		278.2		ns
						3.3V ± 0.3V		281.1		
						5V ± 0.5V		282.1		
					3 节电池	1.8V ± 0.09V		378.2		ns
						3.3V ± 0.3V		352.1		
						5V ± 0.5V		382.8		
					4 节电池	1.8V ± 0.09V		477.3		ns
						3.3V ± 0.3V		481.0		
						5V ± 0.5V		482.7		

Copyright © 2026 Texas Instruments Incorporated

5.8 典型特性

T_A = 25°C

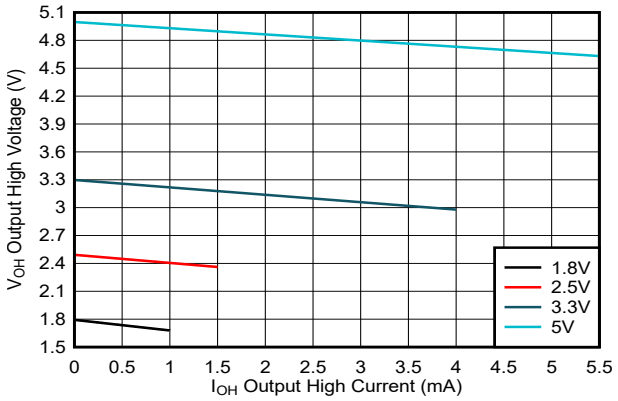


图 5-1. 高电平状态下的典型 1X 推挽输出电压 (V_{OH})

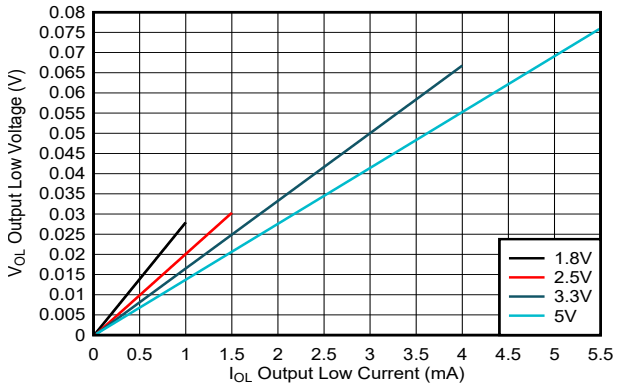


图 5-2. 低电平状态下的典型 1X 推挽输出电压 (V_{OL})

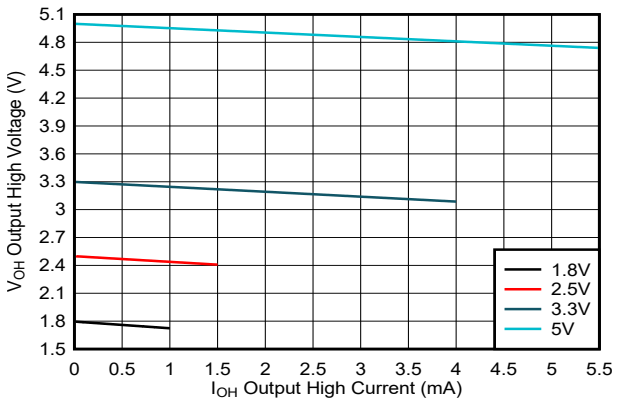


图 5-3. 高电平状态下的典型 2X 推挽输出电压 (V_{OH})

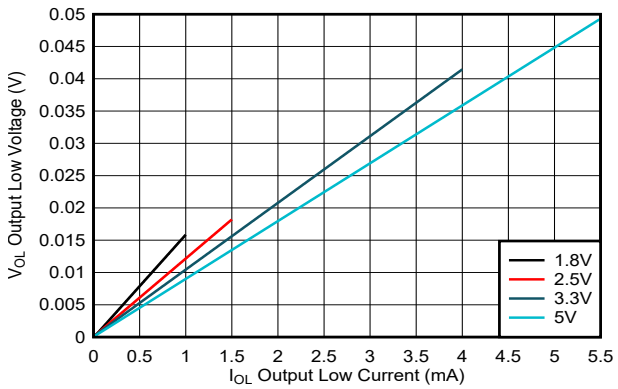


图 5-4. 低电平状态下的典型 2X 推挽输出电压 (V_{OL})

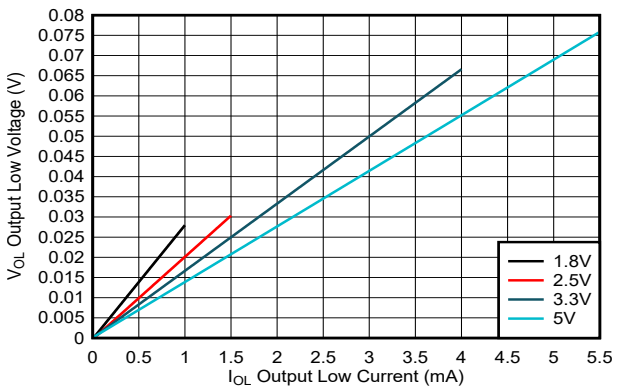


图 5-5. 低电平状态下的典型 1X 开漏 NMOS 输出电压 (V_{OL})

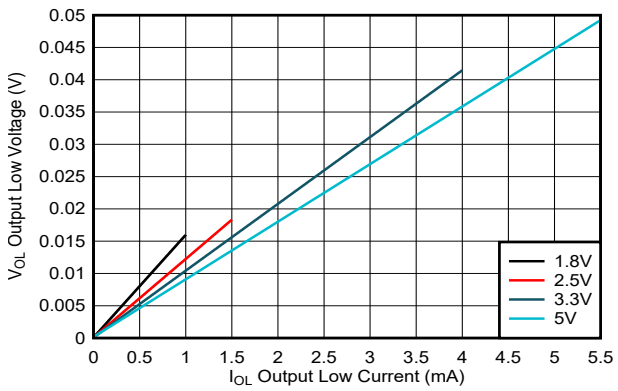


图 5-6. 低电平状态下的典型 2X 开漏 NMOS 输出电压 (V_{OL})

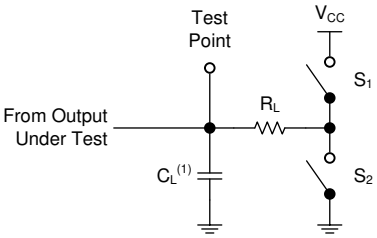
Copyright © 2026 Texas Instruments Incorporated

6 参数测量信息

任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_t < 2.5ns。

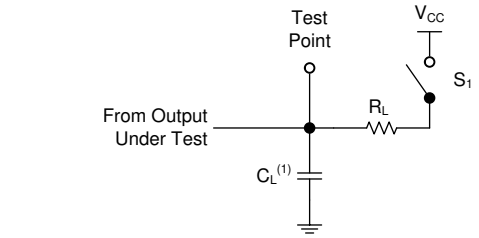
对于时钟输入，f_{max} 是在输入占空比为 50% 时测量的。

一次测量一个输出，每次测量一个输入转换。



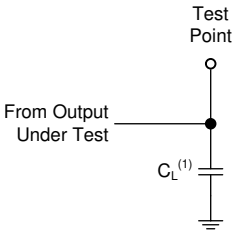
(1) C_L 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路



(1) C_L 包括探头和测试夹具电容。

图 6-2. 开漏输出的负载电路



(1) C_L 包括探头和测试夹具电容。

图 6-3. 推挽输出的负载电路

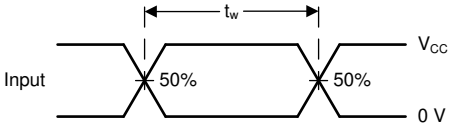


图 6-4. 电压波形，脉冲持续时间

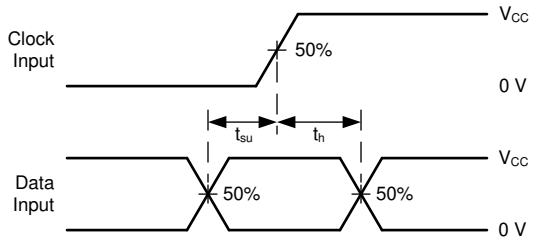
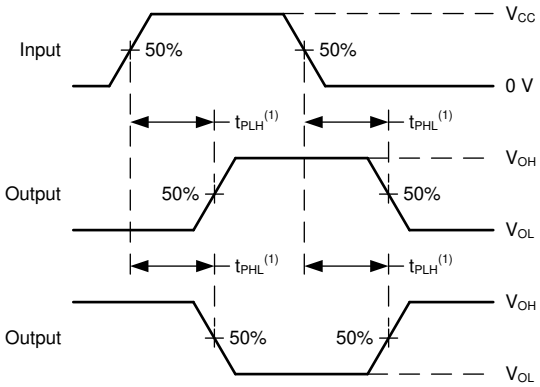


图 6-5. 电压波形，设置和保持时间



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 6-6. 电压波形传播延迟

Copyright © 2026 Texas Instruments Incorporated

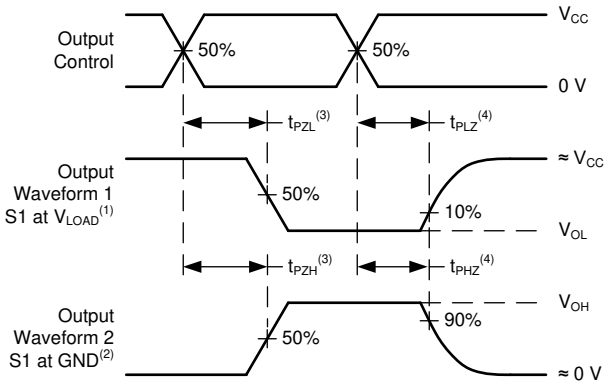
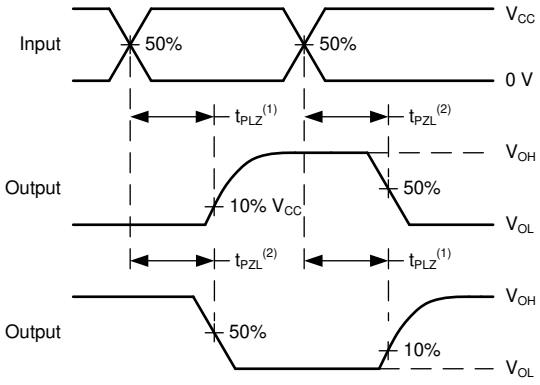
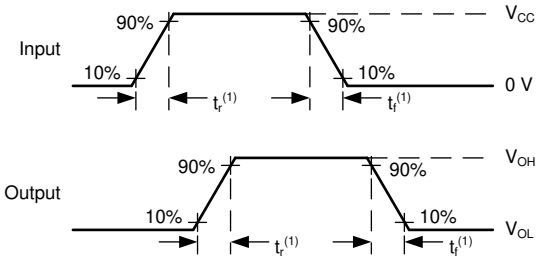


图 6-7. 电压波形传播延迟



(1) t_{PLZ} 和 t_{PZL} 之间的较大者与 t_{pd} 相同。

图 6-8. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-9. 电压波形，输入和输出转换时间

7 详细说明

7.1 概述

TPLD1201 是 TI 可编程逻辑器件 (TPLD) 系列器件的一部分，该系列器件采用具有组合逻辑、时序逻辑和模拟块的多功能可编程逻辑 IC，可提供集成、紧凑、低功耗解决方案来实现常见系统功能。

TPLD1201 具有一个 GPIO 和七个 GPIO，可配置为数字输入、数字输出、数字输入或输出，或者模拟输入或输出。

TPLD1201 具有一个用于配置内部宏单元和 I/O 引脚布线的互连系统（进一步称为连接多路复用器）。每个连接多路复用器输入都硬接线到特定的数字宏单元输出，例如数字 I/O、查找表和模拟比较器输出。连接多路复用器允许每个数字输入仅连接到一个输出，因此不存在总线争用。

TPLD1201 具有以下宏单元：

- 可配置使用逻辑块：
  - 两个 2 位查找表 (LUT)
  - 两个 3 位 LUT
  - 两个 2 位 LUT 或 D 型触发器 (DFF) 或锁存器
  - 两个具有复位/设置选项的 3 位 LUT 或 DFF/锁存器
  - 一个 3 位 LUT 或管道延迟
  - 一个 4 位 LUT 或 8 位计数器 (CNT) 或延迟发生器 (DLY)
- 三个 8 位 CNT/DLY
- 一个可编程抗尖峰脉冲滤波器 (PFLT) 或边沿检测器 (EDET)
- 一个用于生成 25kHz 或 2MHz 时钟的振荡器 (OSC)
- 两个模拟比较器 (ACMP)
- 具有输出到模拟 IO 的选项的电压基准 (VREF)

InterConnect Studio 软件环境支持简单的拖放界面来构建自定义电路设计并配置宏单元、I/O 引脚和互连。除了创建电路之外，InterConnect Studio 还能够模拟数字和模拟功能以验证设计，并提供典型的功耗估算。电路设计最终确定后，InterConnect Studio 可以临时对非易失性存储器中的设计进行仿真或对一次性可编程 (OTP) 进行永久编程。可以锁定 OTP 以防止回读其内容。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图

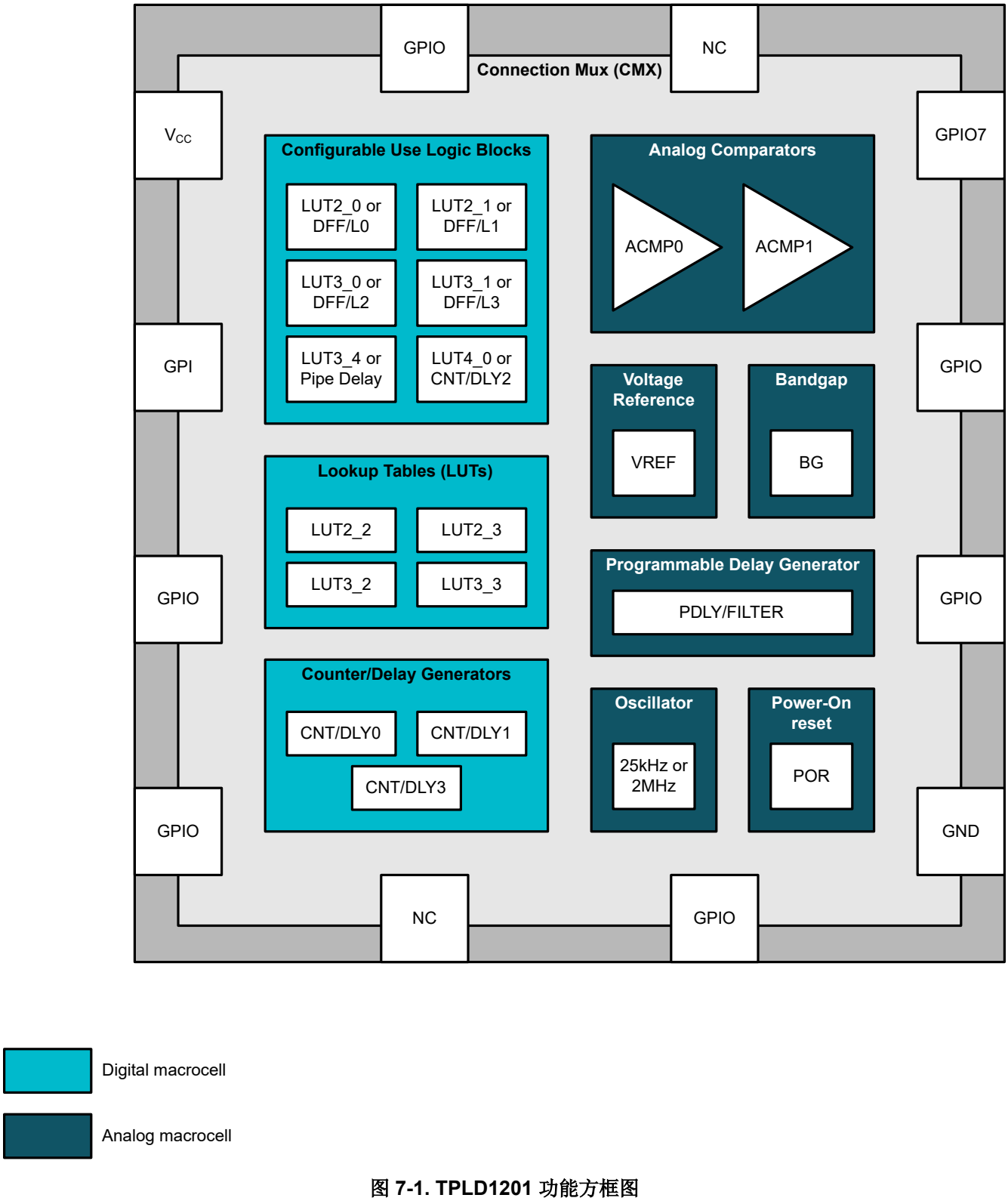


图 7-1. TPLD1201 功能方框图

7.3 特性说明

7.3.1 I/O 引脚

TPLD1201 具有一个输入和七个多功能 I/O 引脚。GPIO 引脚可用作用户定义的输入、输出或特殊功能。

7.3.1.1 输入模式

将引脚配置为输入时，可以使用以下选项：

- 不具有施密特触发的数字输入
- 具有施密特触发的数字输入
- 低电压数字输入

低电压数字输入的 V_{IH}/V_{IL} 规格低于不具有施密特触发的数字输入。这允许从任何低于 V_{CC} 且符合低电压数字输入 V_{IH} 和 V_{IL} 规格的电压域向上转换。

以下引脚还具有提供特殊功能的选项：

- IO9：外部时钟输入
- IO1：模拟比较器 0 的正输入
- IO2：模拟比较器的负输入
- IO4：模拟比较器 1 的正输入
- IO7：内部电压基准输出

7.3.1.2 输出模式

将引脚配置为输出时，可以使用以下选项（提供了可编程驱动强度）：

- 推挽式输出
- 开漏 NMOS 输出
- 开漏 PMOS 输出

7.3.1.3 上拉或下拉电阻器：

所有 I/O 引脚都可以选择连接到引脚结构的用户可选电阻器。这些电阻器的可选阻值为 10kΩ、100kΩ 和 1MΩ。内部电阻器可以配置为上拉电阻器或下拉电阻器。在 InterConnect Studio 中进行设计时，设计中未使用的任何引脚默认配置为连接一个 1MΩ 的下拉电阻器。此外，在上电事件之后，所有端口都处于高阻态，直到上电复位序列完成。

表 7-1. 引脚配置选项

GPIO	IO 选择	OE	IO 选项	电阻器	电阻值
IN0	未使用的引脚	—	—	下拉	1MΩ
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				下拉	10kΩ
					100kΩ
					1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 引脚配置选项（续）

GPIO	IO 选择	OE	IO 选项	电阻器	电阻值
IO1、IO2	未使用的引脚	—	—	下拉	1MΩ
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ
	数字输出	1	推挽（1X、2X）	悬空	—
			开漏 NMOS（1X、2X） 开漏 PMOS（1X、2X）	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ
	数字输入/输出	0	模拟输入	—	—
		1	开漏 NMOS（1X、2X）	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ
	模拟输入/输出	—	模拟输入/输出	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 引脚配置选项（续）

GPIO	IO 选择	OE	IO 选项	电阻器	电阻值
IO4、IO7	未使用的引脚	—	—	下拉	1MΩ
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ
	数字输出	1/0	推挽（1X、2X）	悬空	—
			开漏 NMOS（1X、2X） 三态输出（1X、2X）	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ
	数字输入/输出	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入 模拟输入（仅限 IO4）	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ
		1	推挽（1X、2X） 开漏 NMOS（1X、2X）	与上面共享	
	模拟输入/输出	—	模拟输入/输出	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ

Copyright © 2026 Texas Instruments Incorporated

表 7-1. 引脚配置选项（续）

GPIO	IO 选择	OE	IO 选项	电阻器	电阻值
IO5、IO6、IO9	未使用的引脚	—	—	下拉	1MΩ
	数字输入	0	不具有施密特触发的数字输入 具有施密特触发的数字输入 低电压数字输入	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ
	数字输出	1	推挽（1X、2X）	悬空	—
			开漏 NMOS（1X、2X） 开漏 PMOS（1X、2X）	悬空	—
				上拉	10kΩ
					100kΩ
					1MΩ
				下拉	10kΩ
					100kΩ
					1MΩ

备注

GPI/IN0 还具有在上电时复位器件的选项。与 POR 不同，外部复位仅复位内部逻辑和布线、输入和输出。NVM 将保持其先前状态。如果 GPI 复位已启用，请确保输入模式设置为不带施密特触发的数字输入。
用户可为“外部复位”选择 *已禁用*、*电平敏感* 或 *边沿触发*。
当选择 *电平敏感* 时，如果输入为高电平，则器件处于复位模式，此时所有内部器件都复位。当该引脚变为低电平时，器件将开始上电复位序列。
当选择*边沿触发*时，边沿检测器可配置为上升沿或下降沿，并且 GPI/IN0 上的边沿会复位器件并开始上电复位序列。

7.3.2 连接多路复用器

TPLD1201 具有一个用于配置内部宏单元和 I/O 引脚布线的互连系统（称为连接多路复用器）。连接多路复用器具有 32 个输入和 44 个输出。连接多路复用器的 32 个输入中的每一个都硬接线到特定的宏单元，包括 I/O 引脚、LUT、模拟比较器、其他数字资源、VCC 和 GND。数字宏单元的输入使用 5 位寄存器来选择这 32 条输入线之一。

7.3.3 可配置使用逻辑块

通过 TPLD1201 内的查找表 (LUT)（包括两个 2 位 LUT 和两个 3 位 LUT）支持组合逻辑。组合函数宏单元的输入和输出通过连接多路复用器进行配置，具体逻辑功能由 OTP 位的状态定义。

TPLD1201 具有七个组合函数块（宏单元），可以提供多个逻辑或时序函数。在每种情况下，这些函数块都可以充当查找表 (LUT)，或者充当其他逻辑或时序函数。有关可在这些逻辑块中实现的函数，请参阅以下列表：

- 两个 2 位 LUT
- 两个 3 位 LUT
- 两个 2 位 LUT 或 D 型触发器或锁存器
- 两个具有复位/设置选项的 3 位 LUT 或 D 型触发器或锁存器
- 一个 3 位 LUT 或管道延迟
- 一个 4 位 LUT 或 8 位计数器或延迟发生器

Copyright © 2026 Texas Instruments Incorporated

7.3.3.1 2 位 LUT 宏单元

当用于实现 LUT 功能时，2 位 LUT 从连接多路复用器接收两个输入信号并产生一个输出，该输出返回至连接多路复用器。

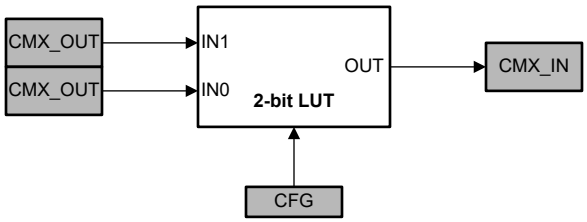


图 7-2. 2 位 LUT 方框图

这些 LUT 可配置为任何 2 输入用户定义的功能，包括以下标准数字逻辑功能：与、与非、或、或非、异或、异或非、非。

表 7-2 提供了 2 位 LUT 的真值表。

表 7-2. 2 位 LUT 真值表

IN1	IN0	OUT
0	0	用户自定义
0	1	
1	0	
1	1	

每个 2 位 LUT 在 OTP 中都有 4 个位来定义其输出功能。

Copyright © 2026 Texas Instruments Incorporated

7.3.3.2 3 位 LUT 宏单元

当用于实现 LUT 功能时，3 位 LUT 从连接多路复用器接收三个输入信号并产生一个输出，该输出返回至连接多路复用器。

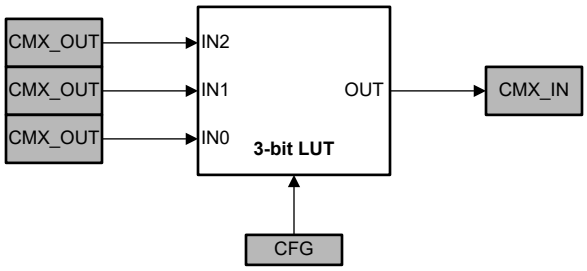


图 7-3. 3 位 LUT 方框图

这些 LUT 可配置为任何 3 输入用户定义的功能，包括以下标准数字逻辑功能：与、与非、或、或非、异或、异或非、非。

表 7-3 提供了 3 位 LUT 的真值表。

表 7-3. 3 位 LUT 真值表

IN2	IN1	IN0	OUT
0	0	0	用户自定义
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

每个 3 位 LUT 在 OTP 中都有 8 个位来定义其输出功能。

7.3.3.3 2 位 LUT 或 D 触发器或锁存器宏单元

该可配置使用逻辑块可以用作 2 位 LUT，或用作 D 触发器/锁存器。

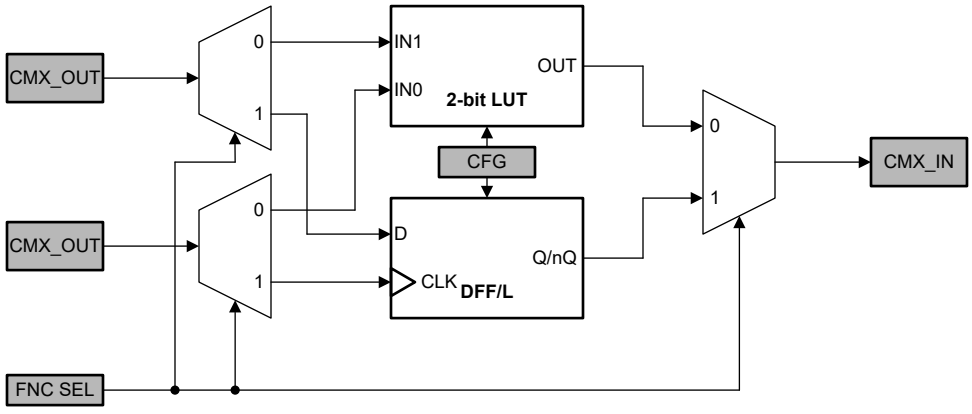


图 7-4. 2 位 LUT 或 DFF 或锁存器方框图

当用于实现 LUT 功能时，2 位 LUT 从连接多路复用器接收两个输入信号并产生一个输出，该输出返回至连接多路复用器。这些 LUT 可配置为任何 2 输入用户定义的功能，包括以下标准数字逻辑功能：与、与非、或、或非、异或、异或非、非。

表 7-4 提供了 2 位 LUT 的真值表。

表 7-4. 2 位 LUT 真值表

IN1	IN0	OUT
0	0	用户自定义
0	1	
1	0	
1	1	

每个 2 位 LUT 在 OTP 中都有 4 个位来定义其输出功能。

当用于实现时序逻辑元件时，来自连接多路复用器的两个输入信号进入触发器/锁存器的数据 (D) 和时钟 (CLK) 输入，输出返回至连接多路复用器。该宏单元具有初始状态参数以及时钟和输出极性参数。

D 触发器/锁存器的操作将遵循以下功能描述：

- 时钟极性是可配置的，可以设置为同相（CLKPOL = 0，CLK）或反相（CLKPOL = 1，nCLK）。
  - 具有 CLK 的 DFF：CLK 为上升沿触发，Q = D；否则 Q 不会改变。
  - 具有 nCLK 的 DFF：CLK 为下降沿触发，Q = D；否则 Q 不会改变。
  - 具有 CLK 的锁存器：当 CLK 为低电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为高电平时，输入 D 对输出没有影响）。
  - 具有 nCLK 的锁存器：当 CLK 为高电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为低电平时，输入 D 对输出没有影响）。
- 输出极性可配置，可设置为同相 (Q) 或反相 (nQ)。

表 7-5 和表 7-6 分别提供了 D 触发器和 D 锁存器的真值表。

表 7-5. D 型触发器真值表

CLKPOL	CLK	D	Q	nQ
0	↓	0	Q_0	nQ_0
	↑	0	0	1
	↓	1	Q_0	nQ_0
	↑	1	1	0
1	↓	0	0	1
	↑	0	Q_0	nQ_0
	↓	1	1	0
	↑	1	Q_0	nQ_0

表 7-6. D 型锁存器真值表

CLKPOL	CLK	D	Q	nQ
0	0	0	0	1
	1	0	Q_0	nQ_0
	0	1	1	0
	1	1	Q_0	nQ_0

Copyright © 2026 Texas Instruments Incorporated

表 7-6. D 型锁存器真值表（续）

CLKPOL	CLK	D	Q	nQ
1	0	0	Q_0	nQ_0
	1	0	0	1
	0	1	Q_0	nQ_0
	1	1	1	0

7.3.3.4 具有设置或复位宏单元的 3 位 LUT 或 D 触发器或锁存器

该可配置使用逻辑块可以用作 3 位 LUT，或用作具有复位/设置功能的 D 触发器/锁存器。

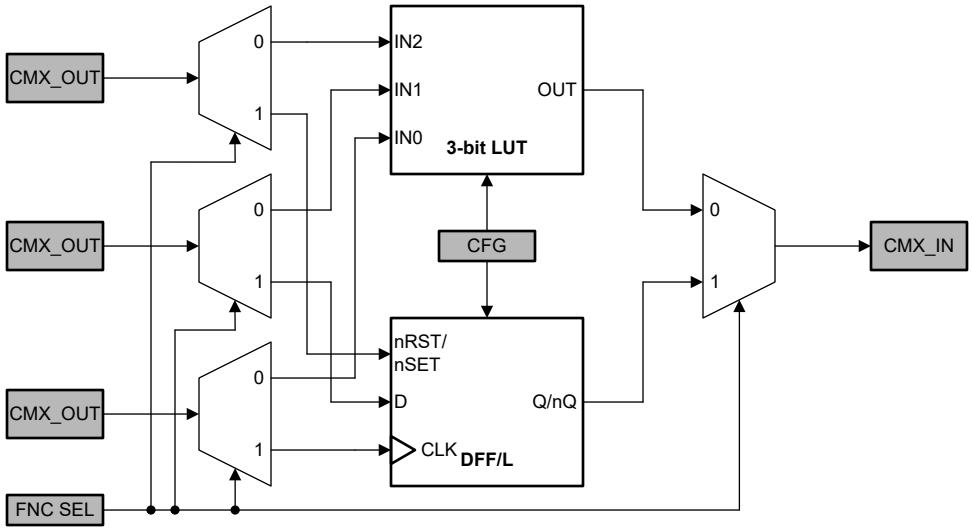


图 7-5. 具有 nRST 或 nSET 的 3 位 LUT 或 DFF 或锁存器方框图

当用于实现 LUT 功能时，3 位 LUT 从连接多路复用器接收三个输入信号并产生一个输出，该输出返回至连接多路复用器。这些 LUT 可配置为任何 3 输入用户定义的功能，包括以下标准数字逻辑功能：与、与非、或、或非、异或、异或非、非。

表 7-7 提供了 3 位 LUT 的真值表。

表 7-7. 3 位 LUT 真值表

IN2	IN1	IN0	OUT
0	0	0	用户自定义
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

每个 3 位 LUT 在 OTP 中都有 8 个位来定义其输出功能。

Copyright © 2026 Texas Instruments Incorporated

当用于实现时序逻辑元件时，来自连接多路复用器的三个输入信号进入触发器/锁存器的数据 (D)、时钟 (CLK) 和复位/设置 (nRST/nSET) 输入，输出返回至连接多路复用器。该宏单元具有初始状态、时钟极性、复位/设置极性和输出极性参数。

D 触发器/锁存器的运行将遵循以下功能描述：

- 时钟极性是可配置的，可以设置为同相（CLKPOL = 0，CLK）或反相（CLKPOL = 1，nCLK）。
  - 具有 CLK 的 DFF：CLK 为上升沿触发，Q = D；否则 Q 不会改变。
  - 具有 nCLK 的 DFF：CLK 为下降沿触发，Q = D；否则 Q 不会改变。
  - 具有 CLK 的锁存器：当 CLK 为低电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为高电平时，输入 D 对输出没有影响）。
  - 具有 nCLK 的锁存器：当 CLK 为高电平时，Q = D；否则 Q 保持其先前的值（当 CLK 为低电平时，输入 D 对输出没有影响）。
- 这些 DFF/锁存器具有低电平有效复位/设置选项。
  - nRST：当输入为高电平时，DFF/锁存器处于正常运行状态；当输入为低电平时，Q 复位为 0。
  - nSET：当输入为高电平时，DFF/锁存器处于正常运行状态；当输入为低电平时，Q 设置为 1。
- 如果不需要复位/设置，用户可以将该输入连接至 V_{CC} 或另一个恒定的高电平源。
- 输出极性可配置，可设置为同相 (Q) 或反相 (nQ)。

表 7-8 和表 7-9 分别提供了具有复位/设置功能的 D 触发器和 D 锁存器的真值表。

表 7-8. 具有 nRST/nSET 的 D 触发器真值表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q_0	nQ_0
			↑	0	0	1
			↓	1	Q_0	nQ_0
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q_0	nQ_0
			↓	1	1	0
			↑	1	Q_0	nQ_0

表 7-9. 具有 nRST/nSET 的 D 锁存器真值表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q_0	nQ_0
			0	1	1	0
			1	1	Q_0	nQ_0

Copyright © 2026 Texas Instruments Incorporated

表 7-9. 具有 nRST/nSET 的 D 锁存器真值表（续）

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q_0	nQ_0
			1	0	0	1
			0	1	Q_0	nQ_0
			1	1	1	0

7.3.3.5 3 位 LUT 或管道延迟宏蜂窝

该宏单元可以用作 3 位 LUT 或管道延迟。

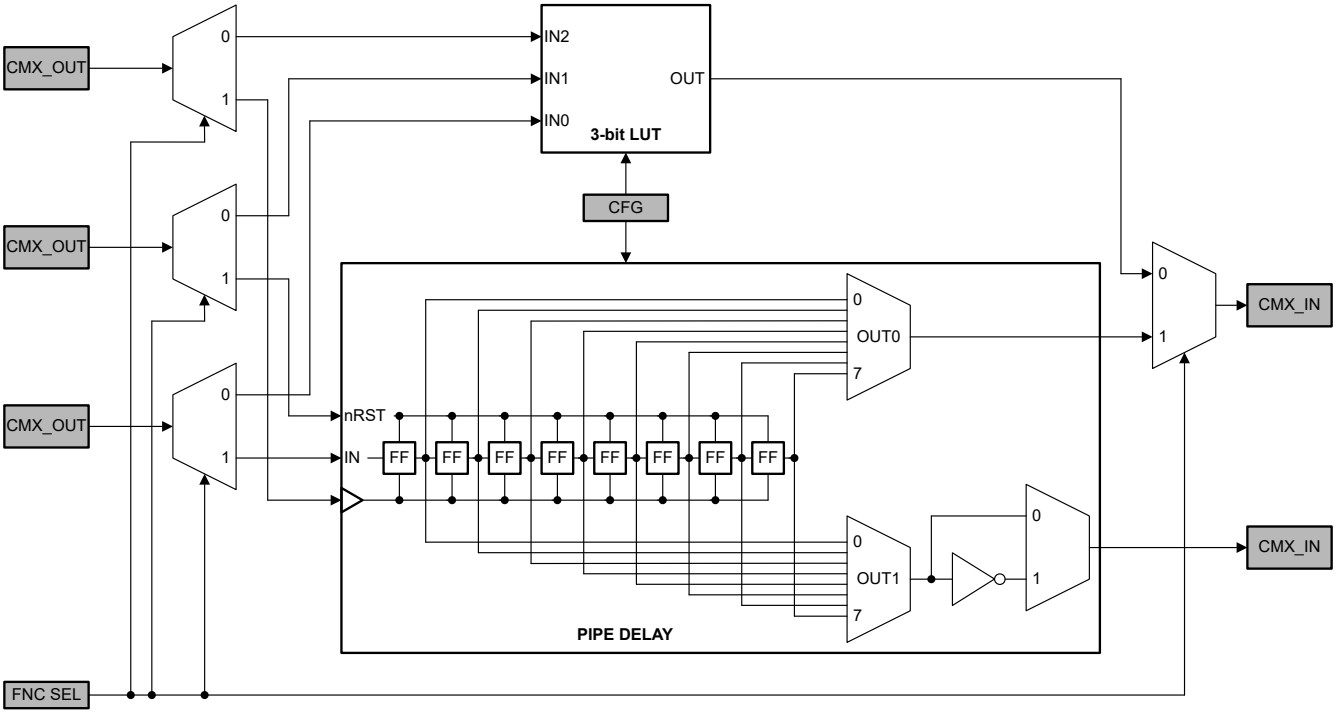


图 7-6. 3 位 LUT 或管道延迟方框图

当用于实现 LUT 功能时，3 位 LUT 从连接多路复用器接收三个输入信号并产生一个输出，该输出返回至连接多路复用器。这些 LUT 可配置为任何 3 输入用户定义的功能，包括以下标准数字逻辑功能：

- AND
- NAND
- OR
- NOR
- 异或
- 异或非
- INV

表 7-10 提供了 3 位 LUT 的真值表。

Copyright © 2026 Texas Instruments Incorporated

表 7-10. 3 位 LUT 真值表

IN2	IN1	IN0	OUT
0	0	0	用户自定义
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

每个 3 位 LUT 在 OTP 中都有 8 个位来定义其输出功能。

当用于实现管道延迟时，来自连接多路复用器的三个输入信号进入触发器/锁存器的延迟输入 (IN)、时钟 (CLK) 和复位 (nRST) 输入，两个输出返回至连接多路复用器。通过该宏单元，用户可以选择每个输出的延迟级数量（从 1 到 8）以及 OUT1 的输出极性。

管道延迟是由 8 个 DFF 组成的 8 级延迟。DFF 单元串联连接，其中每个延迟单元的输出进入下一个 DFF 单元。对于每组连接到用于控制每个管道延迟输出延迟量选择的多路复用器的 OUT0 和 OUT1 输出，都有延迟输出点到。

为了实现正常的管道延迟功能，nRST 输入应为高电平。如果 nRST 输入为低电平，则管道延迟宏单元处于复位状态并且所有输出为低电平。

图 7-7 展示了选择了 2 级延迟的管道延迟宏单元示例。

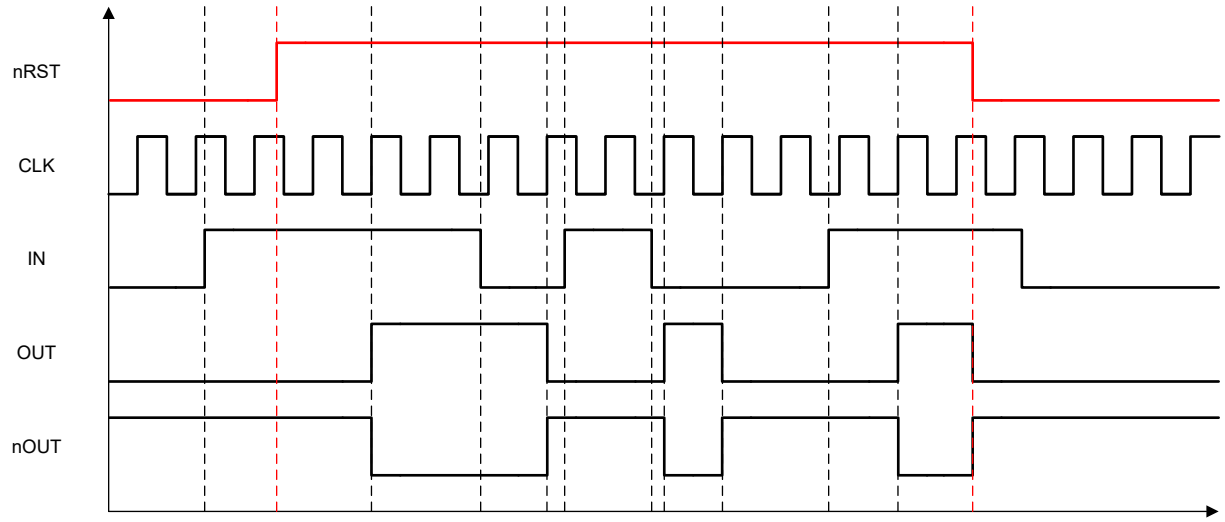


图 7-7. 管道延迟宏单元时序示例（延迟 = 2）

7.3.3.6 4 位 LUT 或 8 位计数器或延迟宏单元

该宏单元可以用作 4 位 LUT 或计数器/延迟发生器 (CNT/DLY)。

Copyright © 2026 Texas Instruments Incorporated

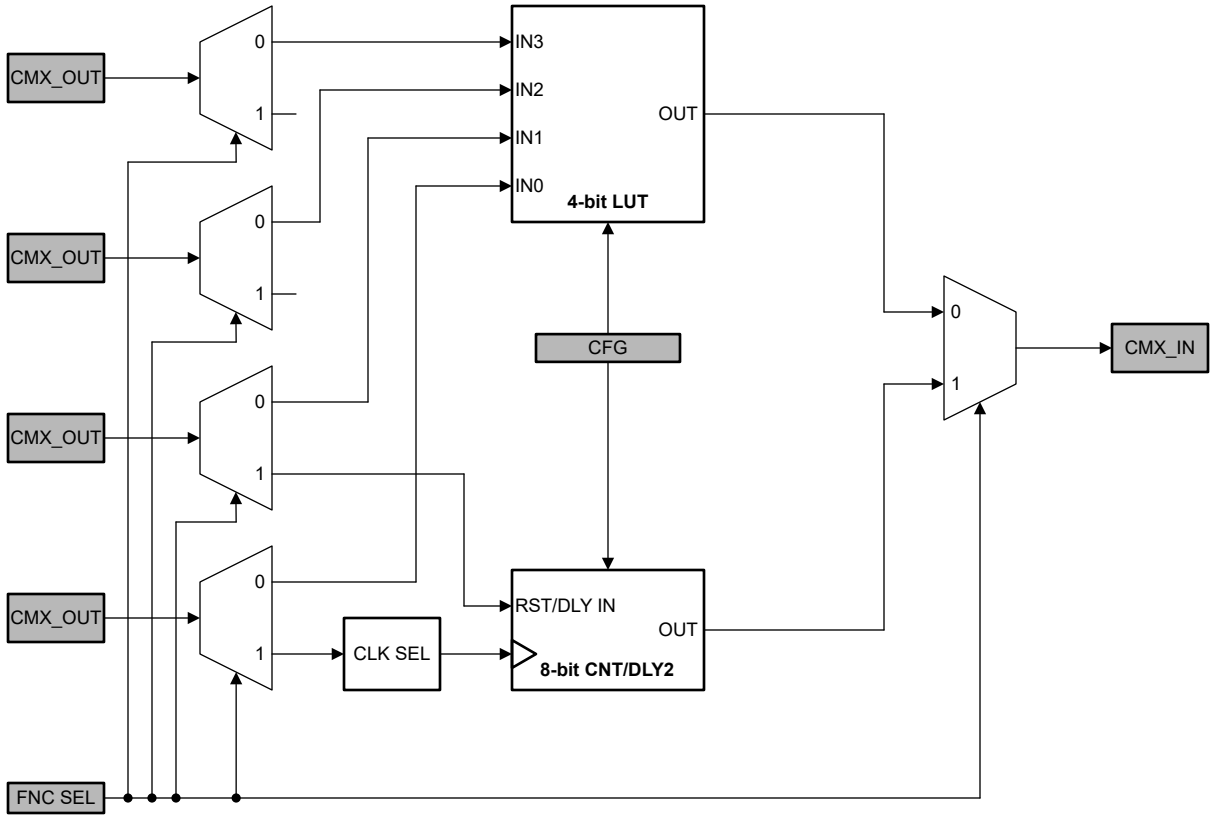


图 7-8. 4 位 LUT 或 8 位 CNT/DLY 方框图

当用于实现 LUT 功能时，4 位 LUT 从连接多路复用器接收四个输入信号并产生一个输出，该输出返回至连接多路复用器。该 LUT 可配置为任何 4 输入用户定义的功能，包括以下标准数字逻辑功能：与、与非、或、或非、异或、异或非、非。

表 7-11 提供了 4 位 LUT 的真值表。

Copyright © 2026 Texas Instruments Incorporated

表 7-11. 4 位 LUT 真值表

IN3	IN2	IN1	IN0	OUT
0	0	0	0	用户自定义
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

每个 4 位 LUT 在 OTP 中都有 16 个位来定义其输出功能。

当用于实现 8 位计数器/延迟功能时，来自连接多路复用器的两个输入信号进入计数器/延迟宏单元的时钟 (CLK) 和复位 (RST/DLY IN)，输出返回至连接多路复用器。作为计数器，该宏单元计数至给定的数据值，并在达到设定值或复位时产生脉冲。作为延迟，该宏单元会将上升沿或下降沿推迟一段时间，该时间是寄存器值的函数。

有关 CNT/DLY 宏单元的更多信息，请参阅节 7.3.4。

7.3.4 8 位计数器和延迟发生器 (CNT/DLY)

计数器/延迟发生器是 8 位，支持从 1 到 255 的计数器数据值。为了实现灵活性，每个宏单元的时钟源都可以配置为内部振荡器、源自振荡器的分频时钟（OSC/4、/12、/24、/64、/4096）或来自连接多路复用器的外部时钟源。还可以选择从前一个 CNT/DLY 宏单元的输出进行链接，以实现更长的计数器/延迟电路。请注意，计数器/延迟宏单元是上升沿触发的，即计数器将在时钟上升沿递增/递减。

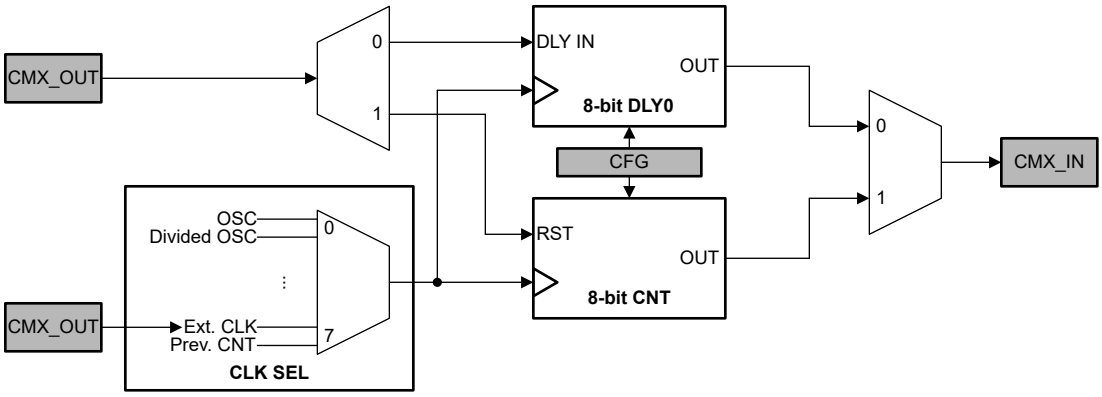


图 7-9. CNT/DLY 方框图

Copyright © 2026 Texas Instruments Incorporated

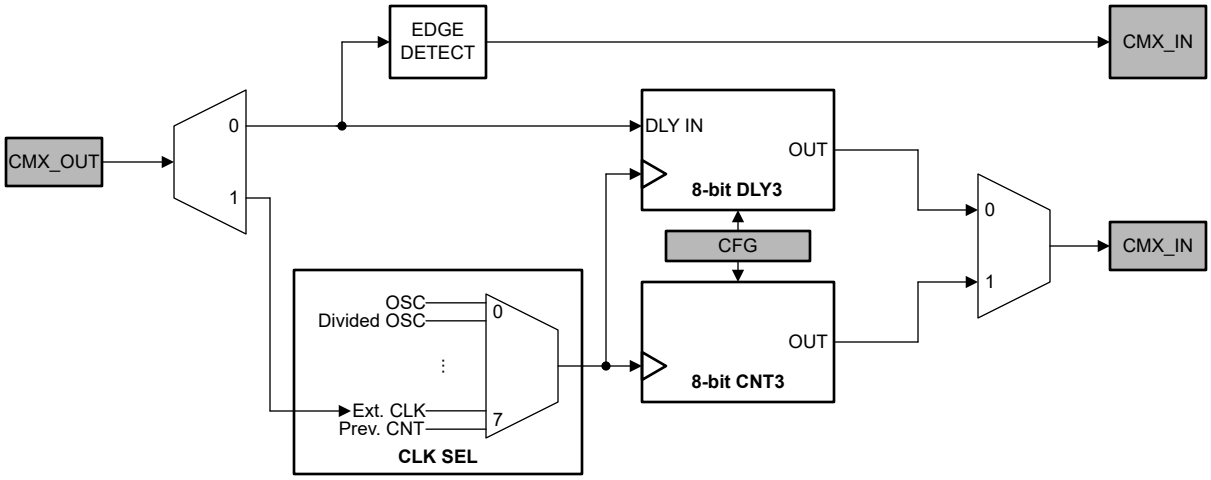


图 7-10. CNT/DLY3 方框图

作为计数器/延迟 (CNT/DLY) 宏单元，用户可以从以下模式中进行选择：延迟、计数器。

在延迟模式下时，CNT/DLY3 还具有一个可选的边沿检测器，除了延迟输出外，它还将在指定的边沿上生成短脉冲。

7.3.4.1 延迟模式

当配置为延迟发生器 (DLY) 时，该宏单元根据计数器 DATA 和 CLK 输入频率延迟输入，并推迟上升沿和/或下降沿。要延迟的边沿由边沿选择参数选择，可配置为：

- 上升：仅在 IN 的上升沿延迟。
- 下降：仅在 IN 的下降沿延迟。
- 两者：在 IN 的上升沿和下降沿均延迟。

对于延迟应用，TI 建议使用较大的计数器数据值以减小误差。如果输入脉冲宽度短于指定的延迟时间，则该脉冲将被滤除。该功能对于抗尖峰脉冲非常有用。

如果使用片上振荡器，则会引入延迟误差或偏移，具体取决于 OSC 是被设置为“强制上电”还是“自动上电”。时钟同步的延迟计算中包含 2 个额外的时钟周期。

延迟时间的计算公式为：

$$\text{DELAY} = \left[\text{DATA} + \left(t_{d_er} \text{ or } t_{d_os}\right) + 2\right] \div f_{CLK} \quad (1)$$

当 OSC 被设置为“自动上电”并且 DLY 宏单元随后在先前输出出现之前被触发时，OSC 会继续计时，并且 DLY 会在下一个上升沿开始。因此，可以计算后续延迟，就好像 OSC 被设置为“强制上电”一样。

图 7-11 展示了延迟宏单元运行被设置为双边沿延迟和 Data = 1 的示例。

Copyright © 2026 Texas Instruments Incorporated

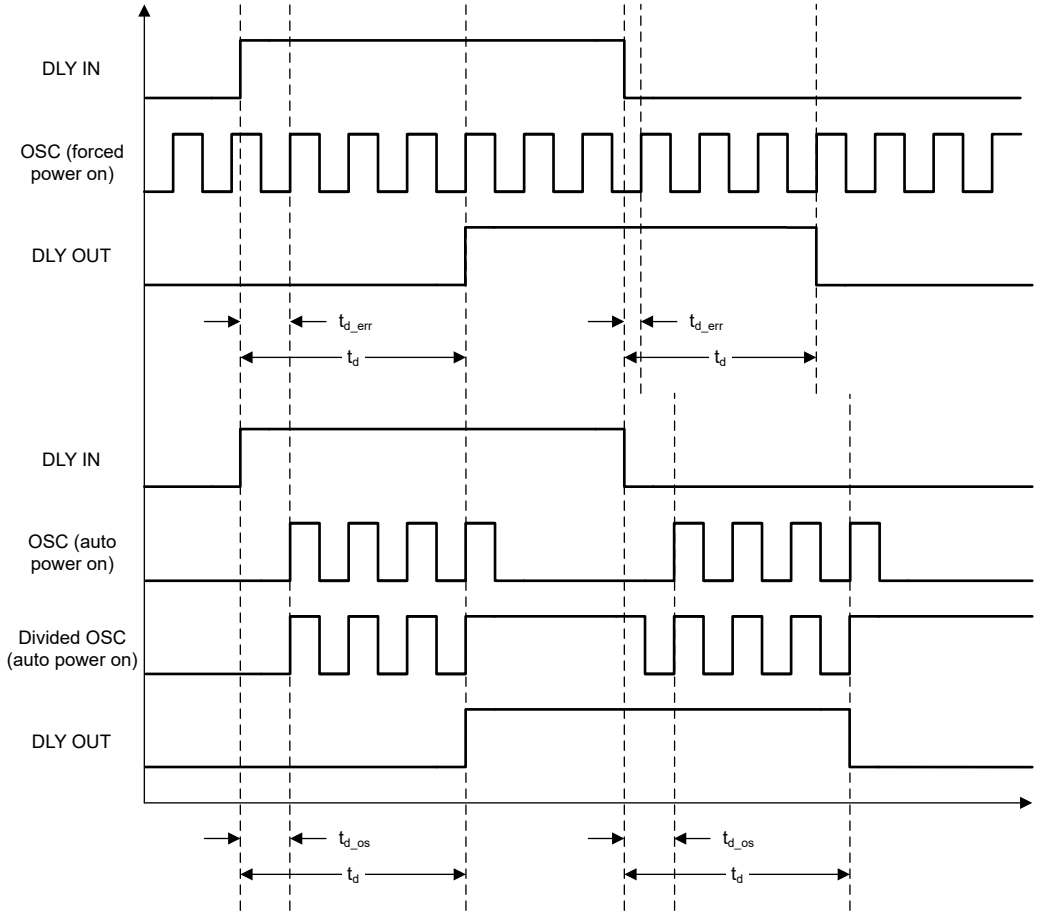


图 7-11. 延迟输出时序示例（双边沿延迟，DATA = 1）

图 7-12 展示了与已选边缘和 Data = 3 相关的延迟宏单元的时序示例。

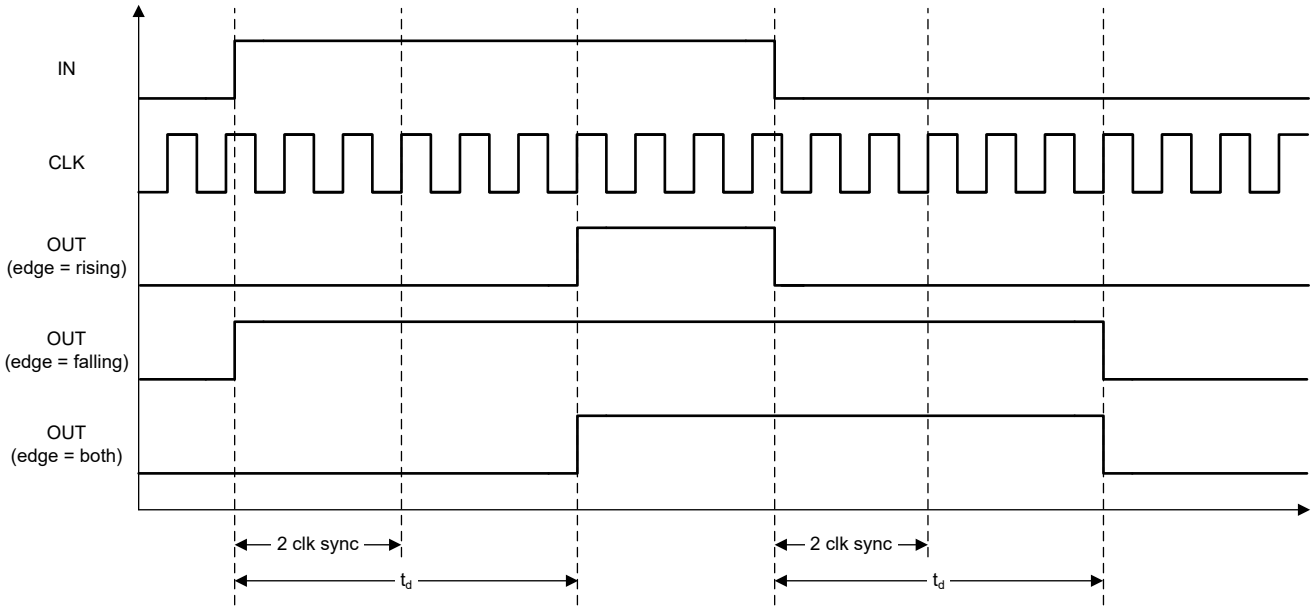


图 7-12. 延迟输出时序示例 (DATA = 3)

Copyright © 2026 Texas Instruments Incorporated

7.3.4.2 边沿检测器模式

当 CNT/DLY3 配置为延迟时，该宏单元可以选择在检测到有效边沿时生成宽度约为 20ns 的脉冲。边沿检测器生成脉冲时的边沿由边沿选择参数决定，可配置为：

- 上升：仅 IN 的上升沿生成脉冲。
- 下降：仅 IN 的下降沿生成脉冲。
- 两者：IN 的上升沿和下降沿均会生成脉冲。

下图展示了与边沿选择参数相关的 EDET 选项工作原理示例。

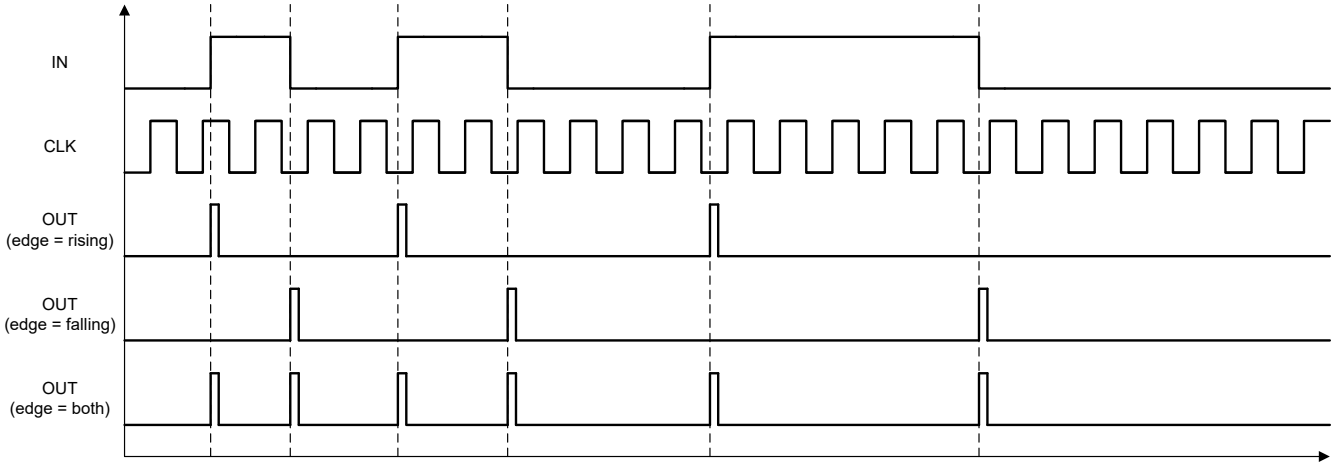


图 7-13. 边沿检测器输出时序示例

7.3.4.3 复位计数器模式

当配置为计数器 (CNT) 且 IN 输入端出现有效边沿时，该宏单元将内部计数器复位为 0，并在下一个上升时钟沿从 DATA 开始递减计数。然后，当计数达到 0 时，宏单元在一个 CLK 周期的持续时间内输出一个脉冲，并回绕到 DATA 中的值。计数器将持续运行，直到接收到另一次复位。计数器复位时的边沿由边沿选择参数决定，可配置为：

- 上升：仅 IN 的上升沿复位计数器。
- 下降：仅 IN 的下降沿复位计数器。
- 两者：IN 的上升沿和下降沿均复位计数器。
- 高电平复位：只要 IN 为高电平，计数器就会复位至 0；复位后，计数器输出保持低电平，直到下一个 CLK 上升沿，然后正常运行。

计数器时间的计算公式为：

$$\text{COUNT} = [\text{DATA} + 1] \div f_{\text{CLK}} \quad (2)$$

复位后，会添加 2 个额外的时钟周期以进行时钟同步，

备注

POR 后，计数器以 DATA = 0 进行初始化。

图 7-14 和 图 7-15 分别展示了在 DATA = 1 和 DATA = 3 时，针对边沿选择参数的计数器输出时序图示例。

Copyright © 2026 Texas Instruments Incorporated

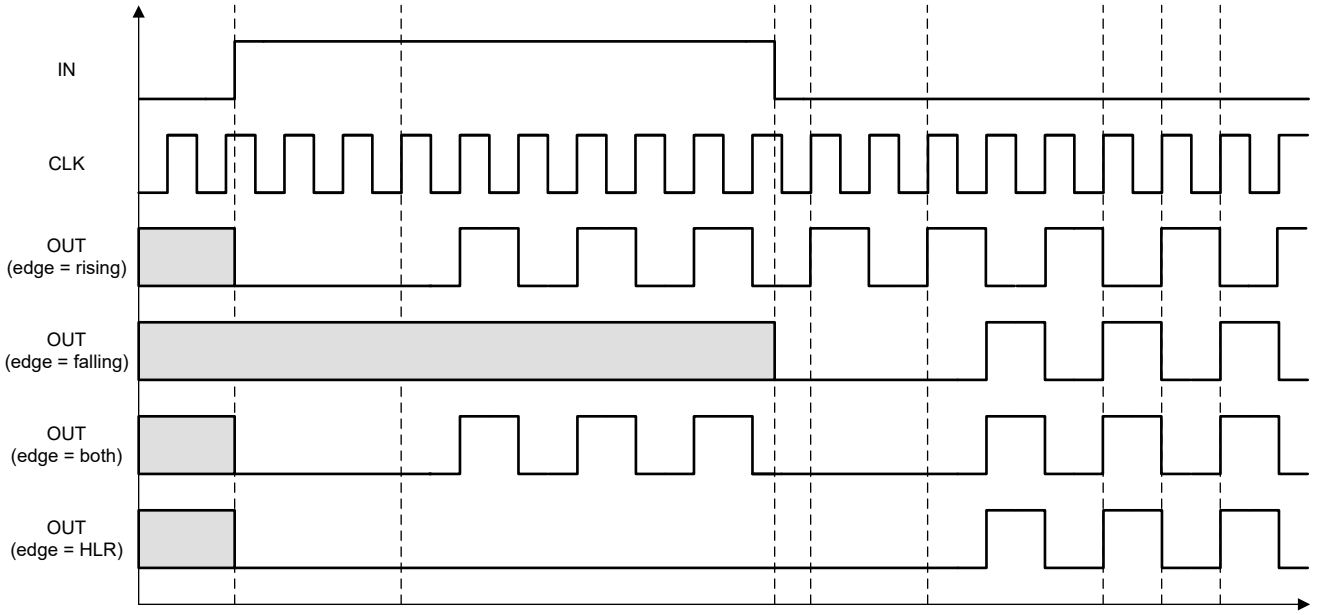


图 7-14. 计数器输出时序示例 (DATA = 1)

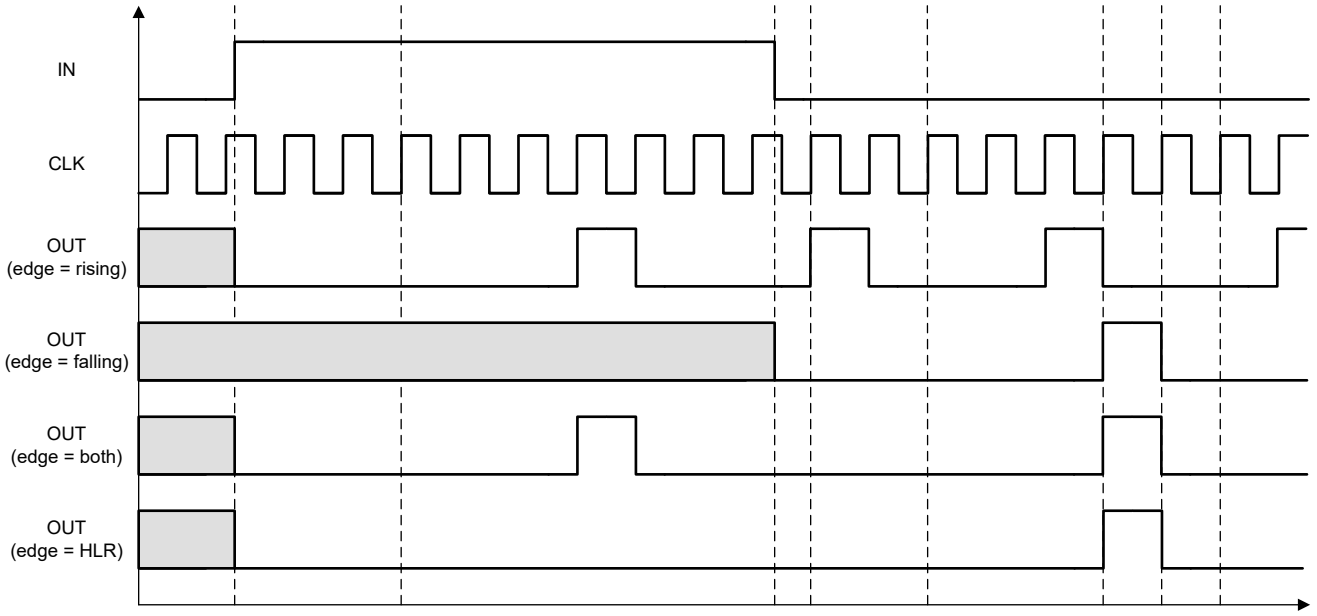


图 7-15. 计数器输出时序示例 (DATA = 3)

图 7-16 展示了当 IN 信号短于计数器长度时计数器宏单元如何运行的示例（当边沿选择参数被设置为“两者”时显示）。

Copyright © 2026 Texas Instruments Incorporated

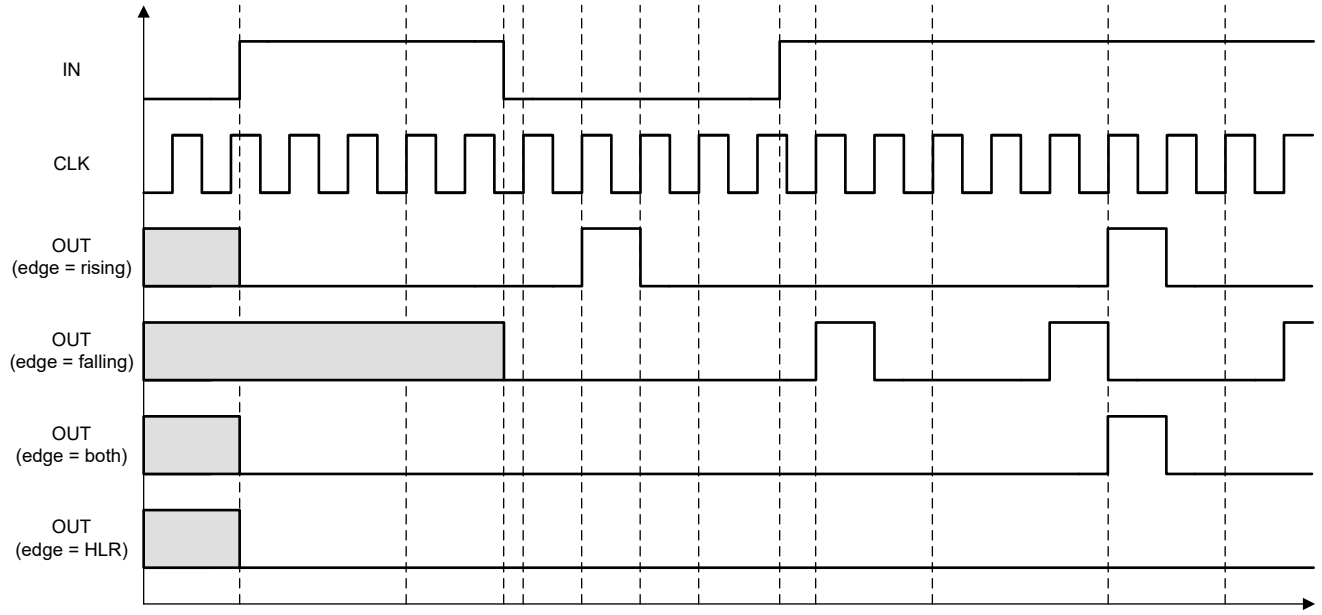


图 7-16. RST < DATA (DATA = 3) 的计数器输出时序示例

7.3.5 可编程抗尖峰脉冲滤波器或边沿检测器宏单元

TPLD1201 具有一个可配置为可编程滤波器 (PFLT) 或边沿检测器 (EDET) 的宏单元。PFLT 宏单元可用于生成延迟 (t_{pflt_d})，其特征为 t_{pflt_pw} 和 t_{pflt_pd}。t_{pflt_pw} 可被设置为 125ns、250ns、375ns 或 500ns，t_{pflt_pd} 为固定值。此外，宏单元的输出可以被配置为以下四种选项之一：上升沿检测、下降沿检测、双边沿检测或双边沿延迟。最后，滤波器作为短低通滤波器运行，其输出可以被设置为同相或反相。

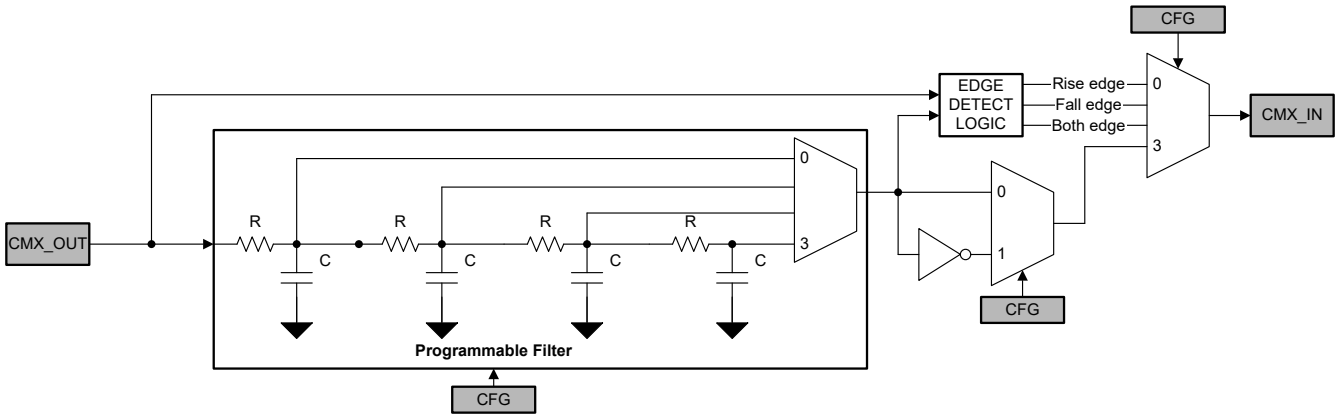


图 7-17. 可编程滤波器和边沿检测器方框图

备注

输入信号必须比 t_{pflt_d} 长，否则会被滤除。

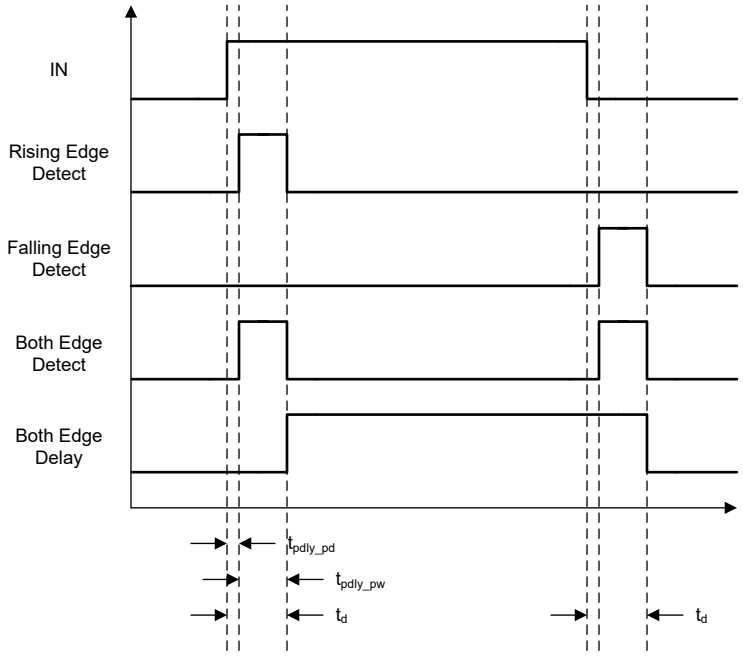


图 7-18. 可编程滤波器和边沿检测器输出时序图示例

7.3.6 可选频率振荡器

TPLD1201 具有一个内部振荡器，可选择以 25kHz 或 2MHz 的频率运行。用户可为 OSC 宏单元选择这些工作频率之一，也可以绕过内部振荡器，此时工作频率可以来自外部时钟。

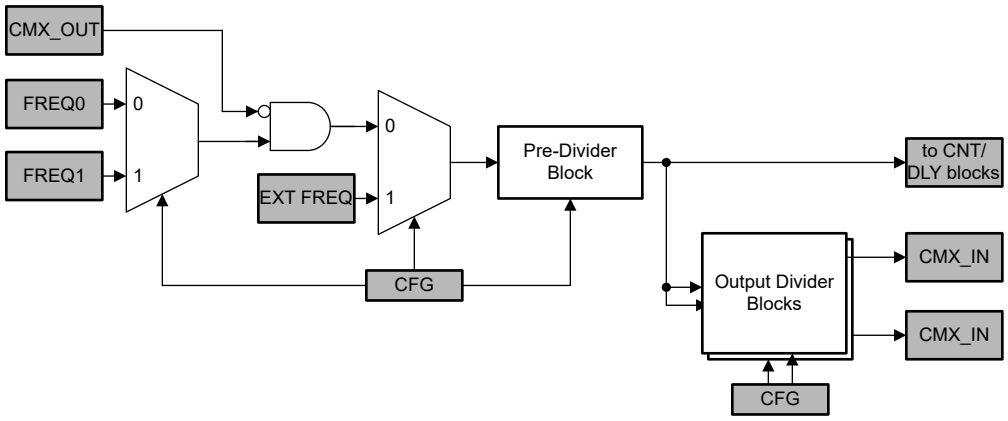


图 7-19. 振荡器方框图

在工作时钟输入之后，有两个分频器级，使用户能够灵活地在整个器件中使用各种时钟频率。

第一级分频器允许从 *振荡器频率模式* 中列出的振荡器工作频率中选择最多四个选项。第一个分频器级的输出直接路由到计数器/延迟发生器宏单元 CLK 输入，在此处可以使用单独的第二个分频器级。

第一个分频器级的输出也被路由到振荡器宏单元内的第二个分频器级。振荡器宏单元具有两个独立的第二级分频器，允许将两个独立的时钟（OUT0 和 OUT1）输出到连接多路复用器。请参阅 *振荡器频率模式*。

7.3.7 模拟比较器 (ACMP)

TPLD1201 中有两个模拟比较器 (ACMP) 宏单元。模拟比较器比较两个电压（IN+ 和 IN-）并输出数字信号 (OUT)，以指示哪个输入较大，IN+ 为高电平信号，IN- 为低电平信号。

Copyright © 2026 Texas Instruments Incorporated

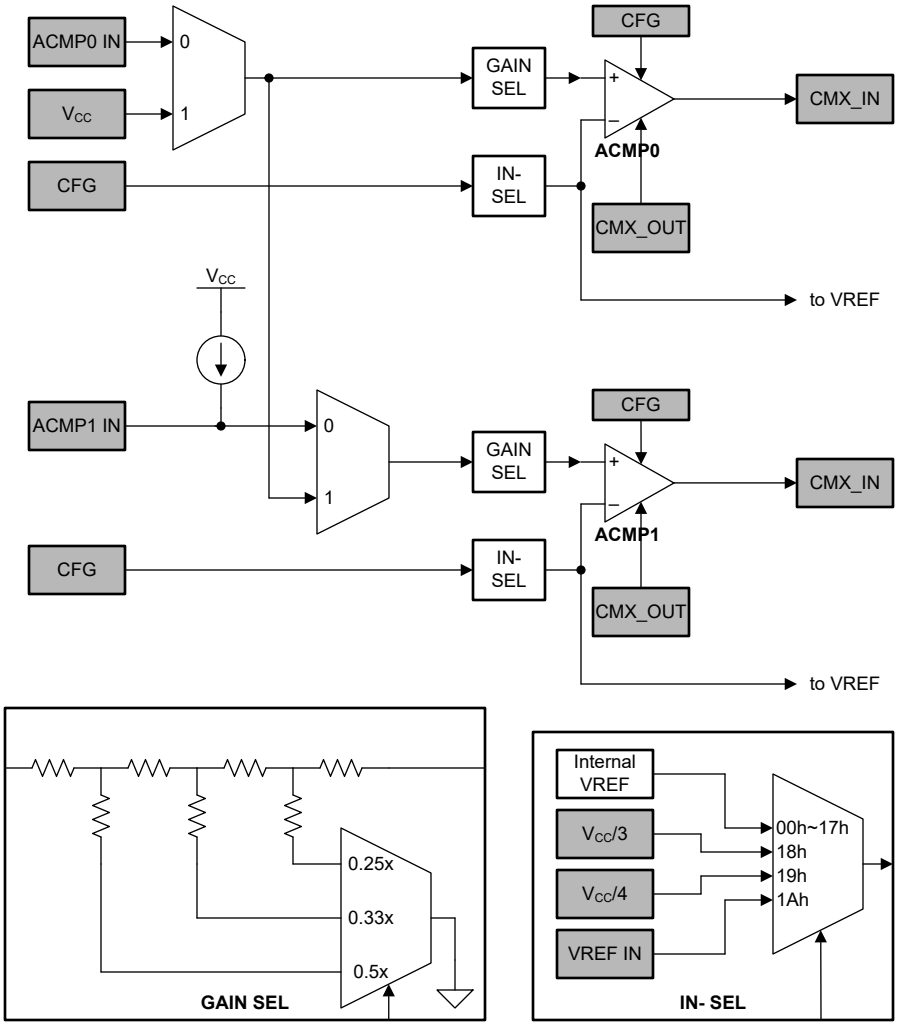


图 7-20. ACMP 方框图

为了使 ACMP 宏单元正常运行，需要将上电信号 (PWR UP) 置为高电平。通过连接到来自连接多路复用器的信号，可以使每个 ACMP 始终开启、始终关闭或基于来自连接多路复用器的数字信号动态开启。断电时，ACMP 将输出低电平信号。

- PWR UP = 1：ACMP 上电。
- PWR UP = 0：ACMP 断电。

上电时，ACMP 输出将保持低电平，然后在 POR 信号变为高电平后变为有效并持续 100 µs（典型值）。在这段时间内，确保内部振荡器未断电。

每个 ACMP 单元都有一个正输入信号，该信号可以在进入模拟比较器之前由具有可选增益级的各种外部源提供。ACMP1 还具有 100µA 上拉电流源选项，用于外部传感器激励。负输入信号可以由内部 VREF 创建，也可以从外部源创建。

表 7-12. ACMP0 和 ACMP1 输入源

参数	ACMP0(1)	ACMP1(2)
IN+ 源	模拟输入 0（与 IO1 共用）	模拟输入 1（与 IO4 共用）
	V_{CC}	ACMP0 IN+

表 7-12. ACMP0 和 ACMP1 输入源（续）

参数	ACMP0(1)	ACMP1(2)
IN- 源	150mV	150mV
	...	...
	1200mV	1200mV
	V_{CC}/3	V_{CC}/3
	V_{CC}/4	V_{CC}/4
	VREF 模拟输入（与 IO2 共用）	VREF 模拟输入（与 IO2 共用）

(1) ACMP 的正模拟输入源。
(2) ACMP 的负模拟输入源。内部 VREF 阈值被优化为接近 1200mV。

IN+ 增益：每个 ACMP 单元都有一个可由各种外部源提供的正输入信号，并且在连接到模拟比较器之前还可以具有可选择的增益级（1X、0.5X、0.33X、0.25X）。

IN- 电压范围：150mV – 1.2V（通过内部 VREF）、V_{CC}/3、V_{CC}/4 或外部源。

迟滞：每个 ACMP 有四个可选的迟滞选项：0mV、25mV、50mV 和 200mV。如果使用内部 VREF 宏单元或外部 VREF 输入，则可以选择迟滞。

- **0mV**：将禁用输入信号迟滞。
- **25mV**：是 +12.5mV 和 -12.5mV 迟滞。对于 VREF = 1V，触发点将为 1.0125V 和 0.9875V。
- **50mV**：是 +25mV 和 -25mV 迟滞。对于 VREF = 1V，触发点将为 1.025V 和 0.975V。
- **200mV**：是 +100mV 和 -100mV 迟滞。对于 VREF = 1V，触发点将为 1.1V 和 0.9V。

如果需要迟滞，请确保迟滞小于 VREF，否则负触发点将被推至器件接地以下，这可能会给器件带来超出建议工作条件的压力，从而缩短器件的寿命。

低带宽：ACMP 单元具有输入信号带宽选择功能，可用于在比较较低带宽信号时节省功耗并减小噪声影响。

如果未在 ACMP 负输入端使用 V_{CC}/3 和 V_{CC}/4，则可以将其禁用以降低功耗。

7.3.8 电压基准 (VREF)

电压基准 (VREF) 产生固定（恒定）电压，为模拟比较器和外部电路提供基准。TPLD1201 具有一个电压基准宏单元，可为两个模拟比较器提供基准。利用该宏单元，用户可以选择固定电压基准、来自器件 V_{CC} 电源的 /2、/3 和 /4 基准以及通过 VREF 模拟输入（与 IO4 共用）在外部提供的电压基准。该宏单元还具有在 VREF 模拟输出上输出基准电压（与 IO7 共用）的选项。

Copyright © 2026 Texas Instruments Incorporated

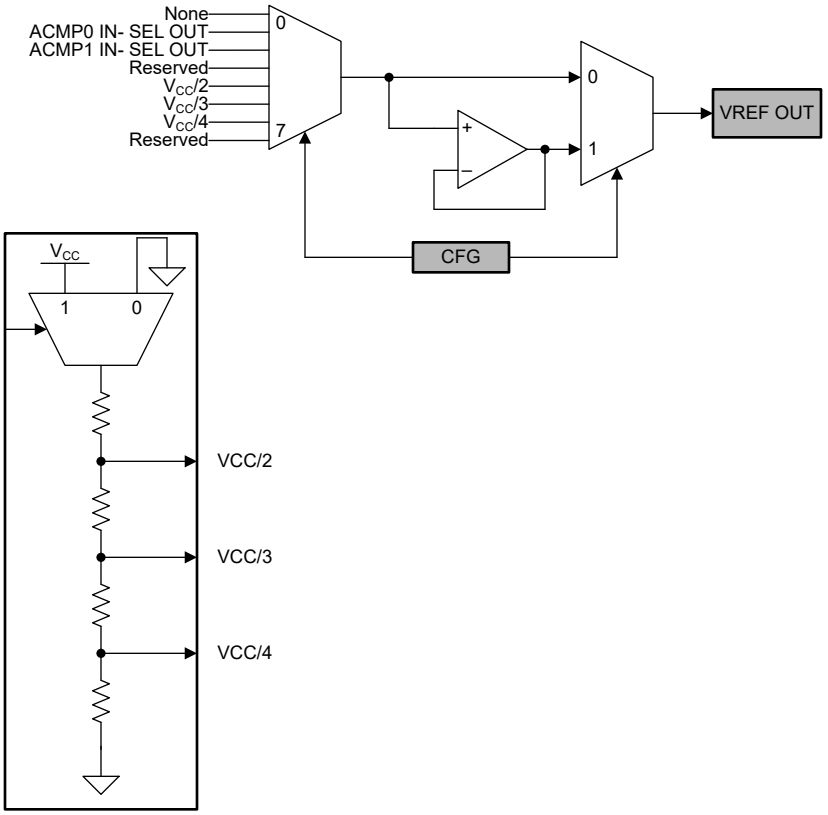


图 7-21. 电压基准方框图

如果在 VREF 选择时不使用 V_{CC}/2、V_{CC}/3 和 V_{CC}/4，则可以将其禁用以降低功耗。

强制带隙开启会在芯片通电时使带隙保持开启状态。

输出有源缓冲器参数启用 VREF 上的有源输出缓冲器。

表 7-13. VREF 范围

V_{CC}	VREF 范围
1.71V - 5.5V	150mV - 1.2V

7.4 器件功能模式

7.4.1 上电复位

TPLD1201 具有一个上电复位 (POR) 宏单元，可为提供正确的器件初始化并确保器件中的所有宏单元正常运行。POR 电路的目标是在 V_{CC} 电源首次施加到器件时以及在断电期间 V_{CC} 下降时具有一致的行为和可预测的结果。为了实现这一目标，POR 驱动定义的内部事件序列，触发器件内部不同宏单元状态的更改，并最终触发 I/O 引脚状态的更改。

当器件电源 (V_{CC}) 升至大约 V_{PORR} 并且器件完全启动时，上电复位 (POR) 宏单元将产生逻辑高电平信号作为输出。所有输出均处于高阻状态，芯片开始从 OTP 加载数据。内部宏单元复位信号被释放，所有寄存器被初始化为默认状态。图 7-22 展示了 POR 系统生成启用某些宏单元的信号序列。

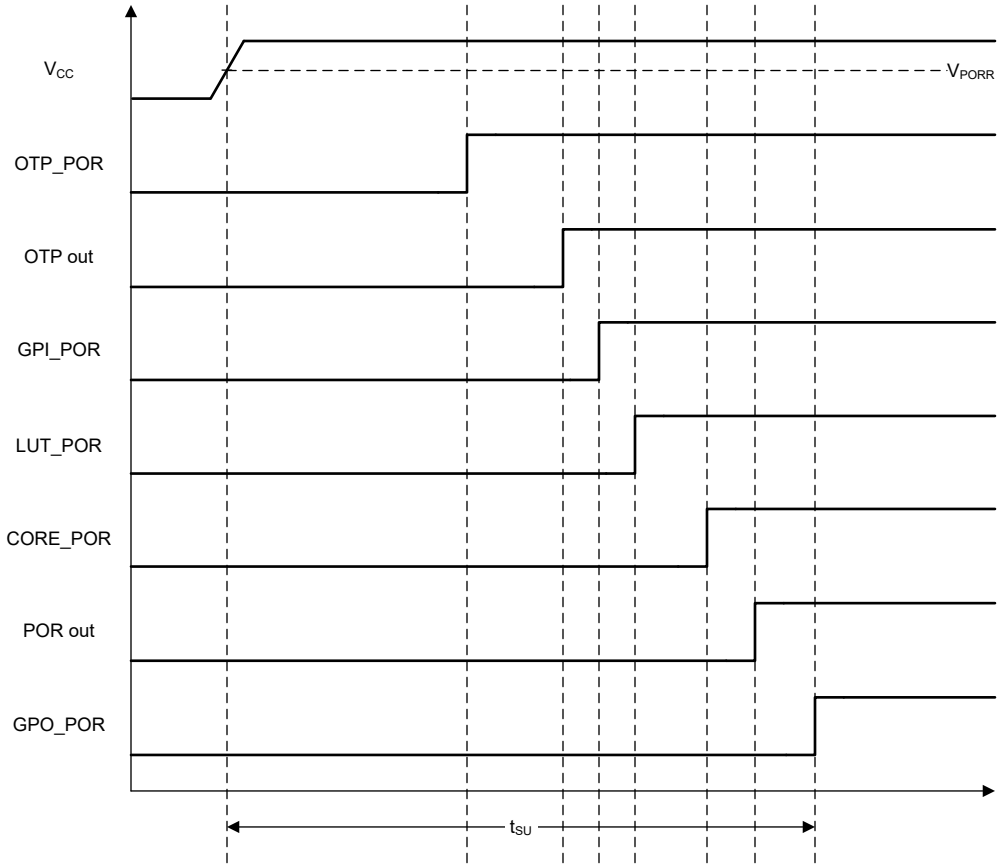


图 7-22. POR 序列

如图 7-22 所示，在 V_{CC} 开始增大并超过 V_{PORR} 阈值后：

- 首先，片上 OTP 存储器复位。
- 接下来，器件从 OTP 存储器读取数据，并传输该信息以配置每个宏单元和连接多路复用器。
- 第三阶段复位配置为输入的 GPIO，然后启用这些 GPIO。
- 之后，LUT 复位并变为活动状态。在 LUT 之后，延迟单元、OSC、DFF、锁存器和管道延迟被初始化。
- 所有宏单元初始化后，POR 宏单元产生的内部 POR 信号由低电平变为高电平。
- 器件要初始化的最后一部分是输出引脚，此时这些引脚从高阻抗转变为活动状态。

GPIO 快速充电：可以选择将 2kΩ 电阻器与任何配置的开路/下拉电阻器并联，以帮助输入更快地达到正确的电压，特别是在存在较大电容的情况下。在 POR 序列完成之前，10kΩ、100kΩ 和 1MΩ GPIO 上拉/下拉电阻器不会启用。

初始化：所有内部宏单元默认初始化为低电平。从 V_{CC} 超过 V_{PORR} 开始，TPLD1201 中的宏单元上电并强制进入复位状态。

VREF 输出引脚驱动信号可能比 POR 输出信号早 3µs 至 5µs 变为高电平。POR 信号变为高电平表明上述上电序列已完成。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TPLD1201 具有可配置逻辑和时序块，可为多个元件提供对称的上电和断电信号。此应用中，器件被配置为根据计数器/延迟宏单元来输出最大上电和断电时序信号数量。

8.2 典型应用

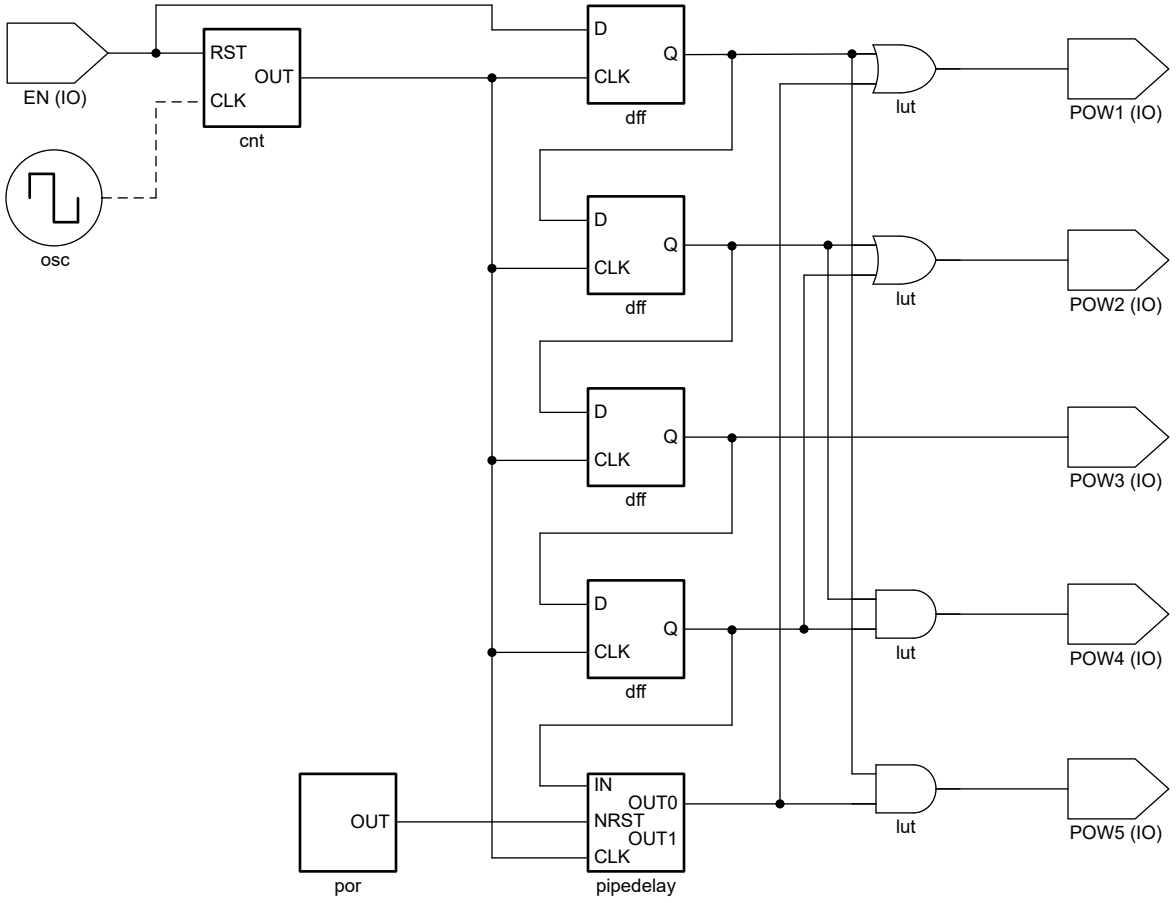


图 8-1. 典型应用框图

8.2.1 设计要求

8.2.1.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分中所述设置器件的电气特性。

正电压电源能够提供的电流必须等于 TPLD1201 所有输出端拉出的总电流加上*电气特性*中列出的最大静态电源电流 I_{CC} 以及开关所需的任何瞬态电流之和。该器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

地必须能够灌入的电流等于 TPLD1201 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

TPLD1201 可以驱动总电容小于或等于 15pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 15pF。

TPLD1201 可以驱动由 $R_L \geqslant V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算* 中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

小心

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

Copyright © 2026 Texas Instruments Incorporated

8.2.1.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 或 $V_{t-(min)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 或 $V_{t+(max)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值* 中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 TPLD1201 的漏电流（如*电气特性* 中所规定）以及所需输入转换率会限制电阻值。由于这些因素，通常使用 10kΩ 的电阻值。

TPLD1201 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件* 表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

TPLD1201 由于具有施密特触发输入，因而在使用时没有输入信号转换速率要求。

具有施密特触发输入的另一个优势是能够抑制噪声。振幅足够大的噪声仍然会导致问题。要了解噪声大到什么程度才是过大，请参考*电气特性* 中的 $\Delta V_{T(min)}$。此迟滞值将提供峰峰值限制。

与标准 CMOS 输入不同，施密特触发输入可以保持在任何有效值，而不会导致功耗大幅增加。将输入保持在 V_{CC} 或地电平以外的值所导致的典型附加电流绘制在*典型特性* 中。

有关此器件输入的其他信息，请参阅*特性说明* 部分。

8.2.1.3 输出注意事项

正电源电压用于产生高电平输出电压。根据*电气特性* 中 V_{OH} 规格所示，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电压。根据*电气特性* 中 V_{OL} 规格所示，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

开漏输出可以直接连接在一起，以实现线与配置或获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的其他信息，请参阅*特性说明* 部分。

8.2.2 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局* 部分中展示了示例布局。
2. 验证输出端的容性负载是否 ≤ 50pF。低负载电容可以通过从 TPLD1201 向接收器件提供适当大小的短布线来实现。
3. 验证输出端的电阻负载是否大于 $(V_{CC} / I_{O(max)})$Ω。切勿超出*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用 *CMOS 功耗与 Cpd 计算*应用手册中提供的步骤计算功耗和热增量。

Copyright © 2026 Texas Instruments Incorporated

8.2.3 应用曲线

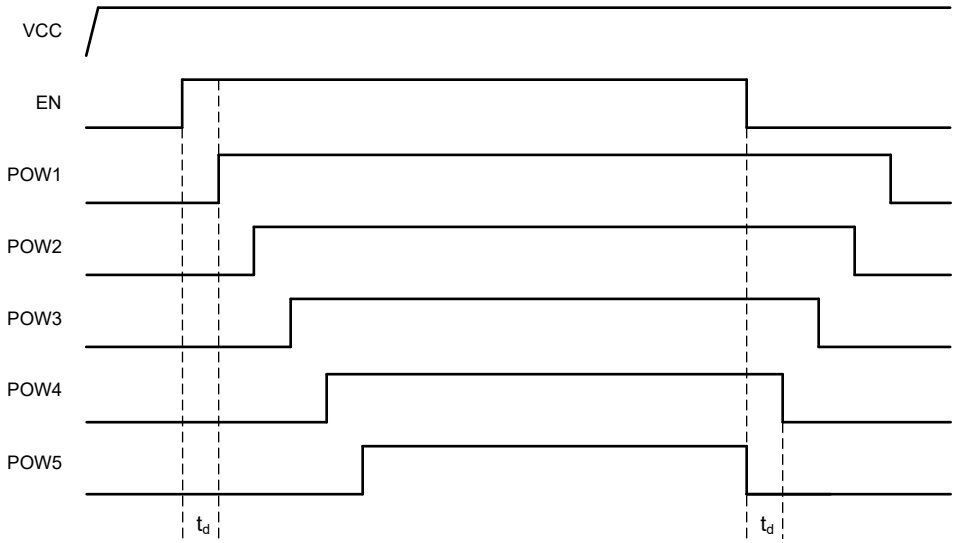


图 8-2. 应用时序图

8.3 电源相关建议

电源可以是*建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。

建议为该器件使用 0.1 µF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 µF 和 1 µF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 布局示例

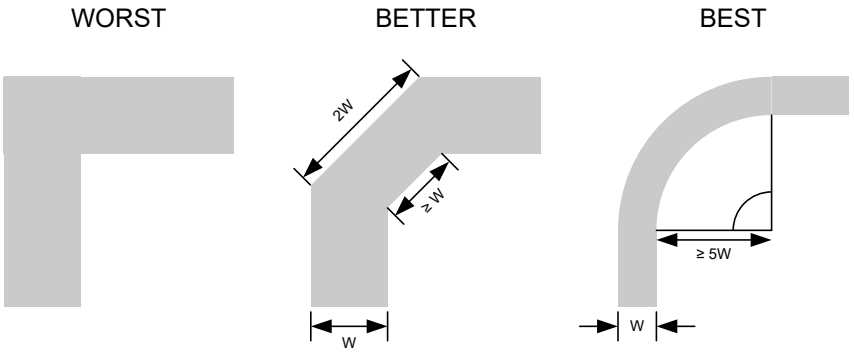


图 8-3. 可改善信号完整性的布线转角示例

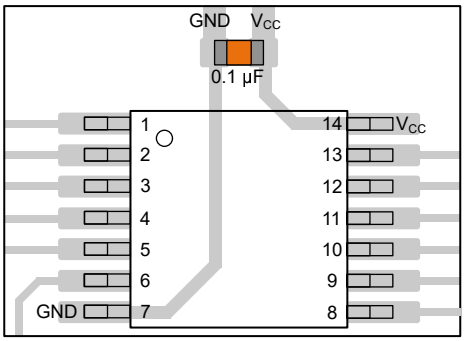


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

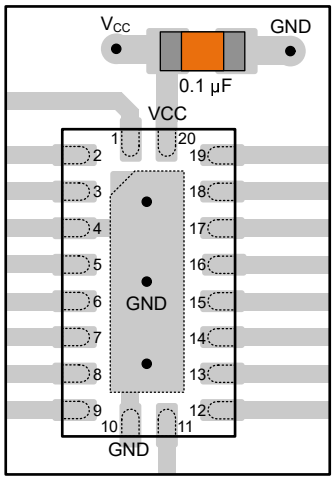


图 8-5. WQFN 和类似封装的旁路电容器放置示例

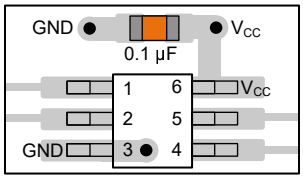


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

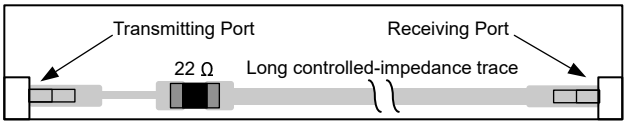


图 8-7. 可改善信号完整性的阻尼电阻放置示例

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from Revision E (December 2025) to Revision F (April 2026)	Page
• 删除了有关初始输出值的文本。	31
• 删除了有关时钟同步旁路的文本。	33

Changes from Revision D (August 2025) to Revision E (December 2025)	Page
• 添加了 RWS 封装选项	1
• 添加了 RWS 封装引脚排列图	3
• 更新了 POR 序列说明，以反映器件的正确启动行为。	39

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPLD1201DGSR	Active	Production	VSSOP (DGS) | 10	3000 | LARGE T&R	-	Call TI	Level-1-260C-UNLIM	-40 to 125	1201
TPLD1201RWBR	Active	Production	X2QFN (RWB) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QW
TPLD1201RWBR.A	Active	Production	X2QFN (RWB) | 12	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QW
TPLD1201RWSR	Active	Production	X2QFN (RWS) | 12	3000 | LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	TE

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPLD1201 :

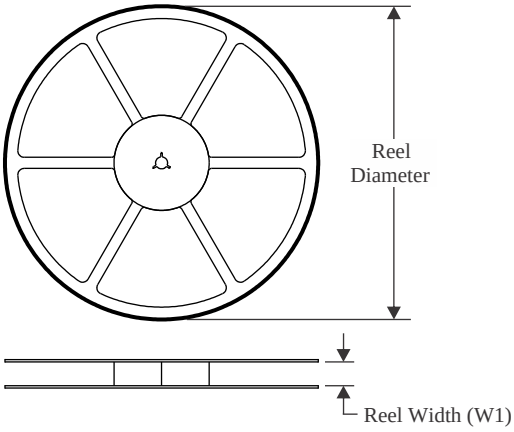
- Automotive : TPLD1201-Q1

NOTE: Qualified Version Definitions:

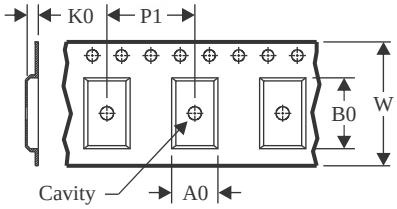
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

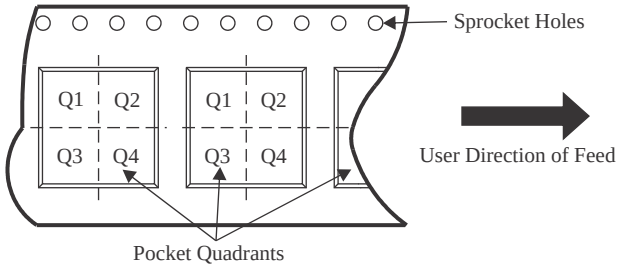


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

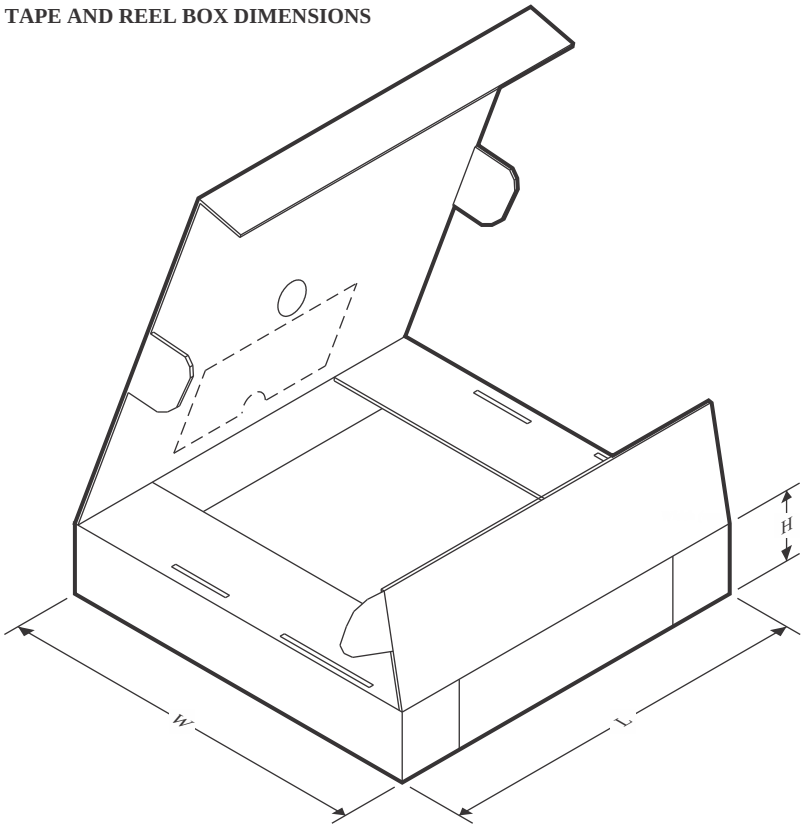
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPLD1201DGSR	VSSOP	DGS	10	3000	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPLD1201RWBR	X2QFN	RWB	12	3000	180.0	8.4	1.8	1.8	0.48	4.0	8.0	Q2
TPLD1201RWSR	X2QFN	RWS	12	3000	180.0	8.4	1.8	1.8	0.48	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

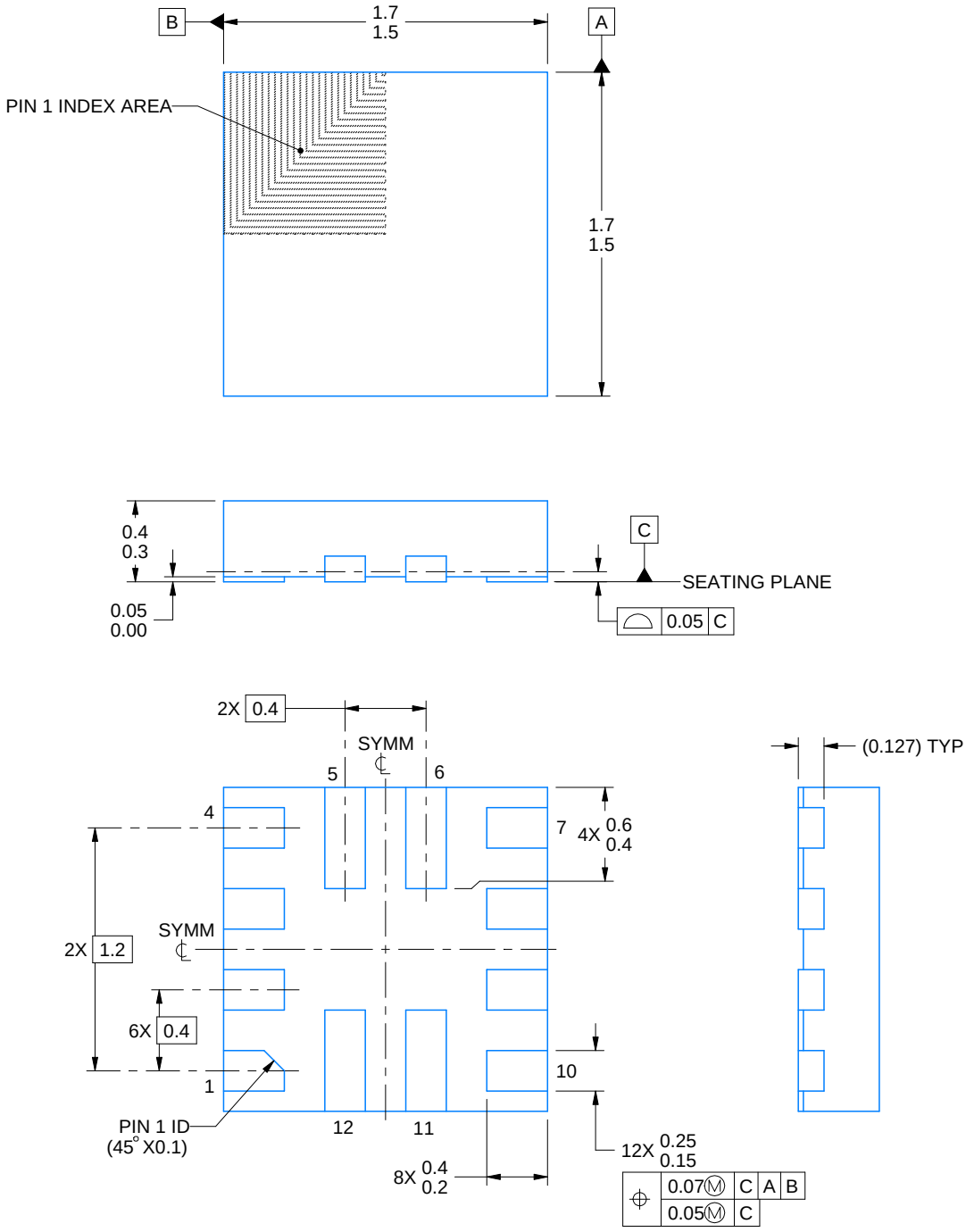
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPLD1201DGSR	VSSOP	DGS	10	3000	353.0	353.0	32.0
TPLD1201RWBR	X2QFN	RWB	12	3000	210.0	185.0	35.0
TPLD1201RWSR	X2QFN	RWS	12	3000	210.0	185.0	35.0

RWS0012A

PACKAGE OUTLINE

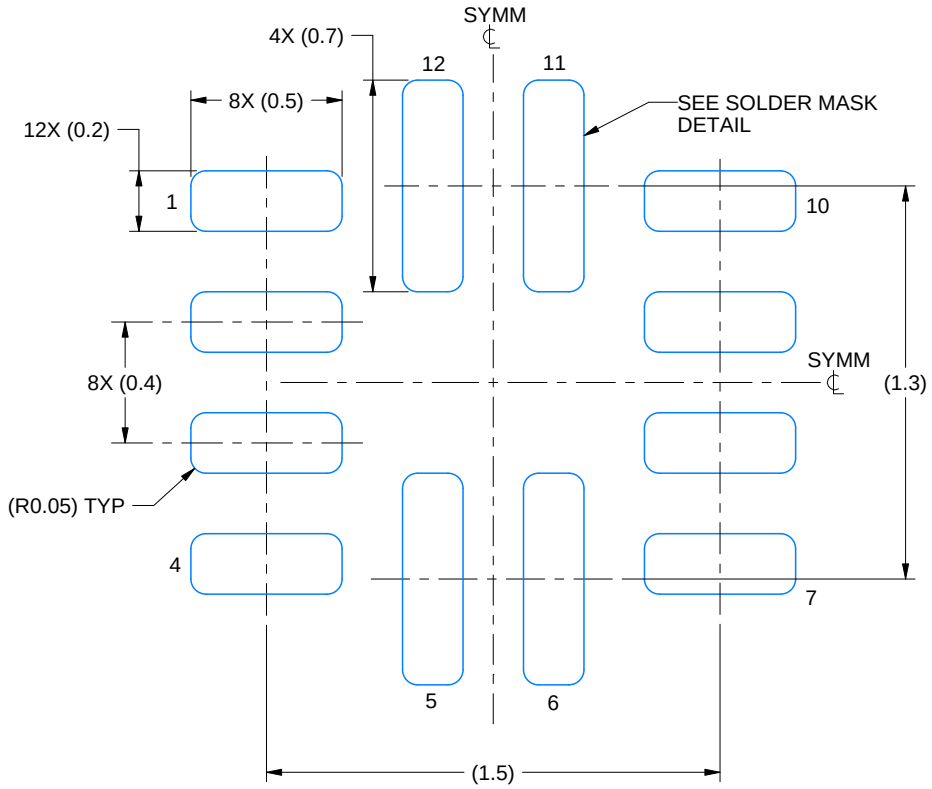
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

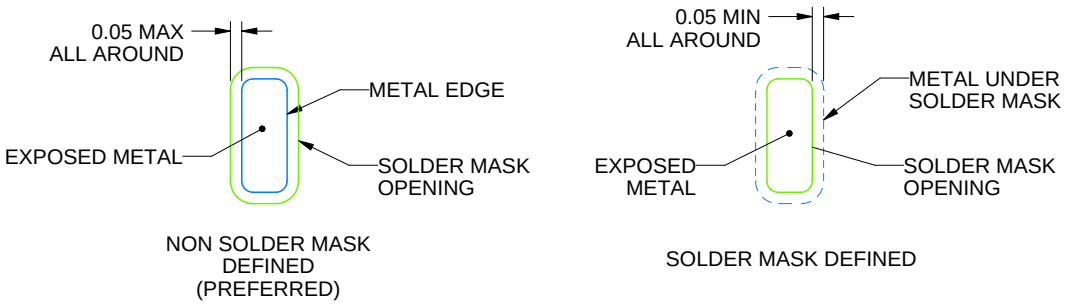


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 40X

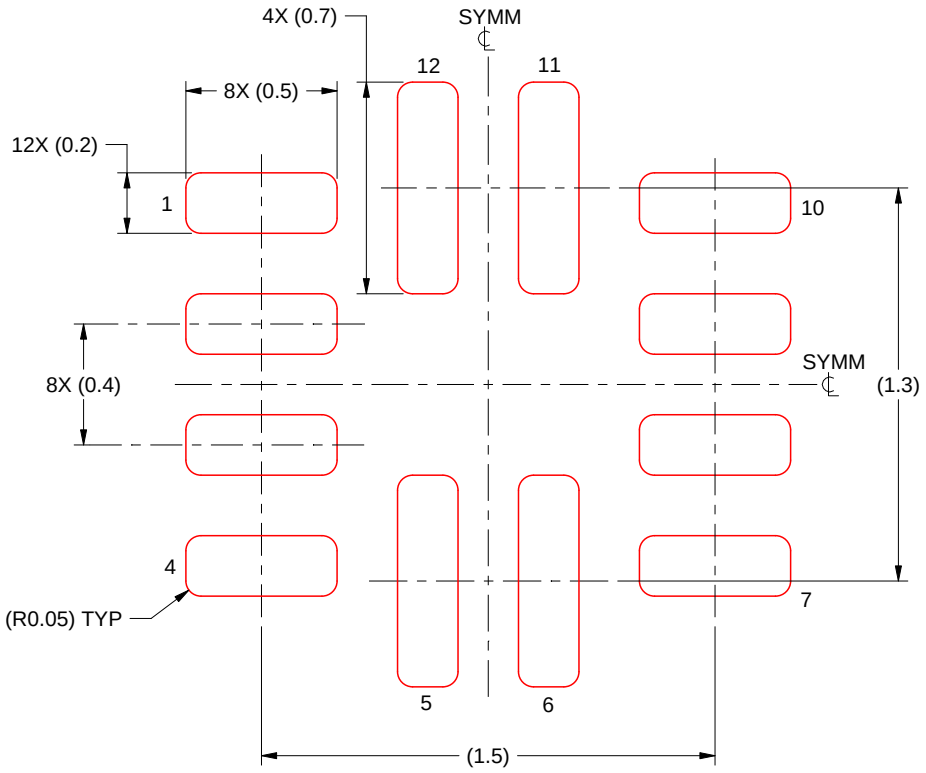


SOLDER MASK DETAILS

4231917/A 05/2025

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 40X

4231917/A 05/2025

NOTES: (continued)

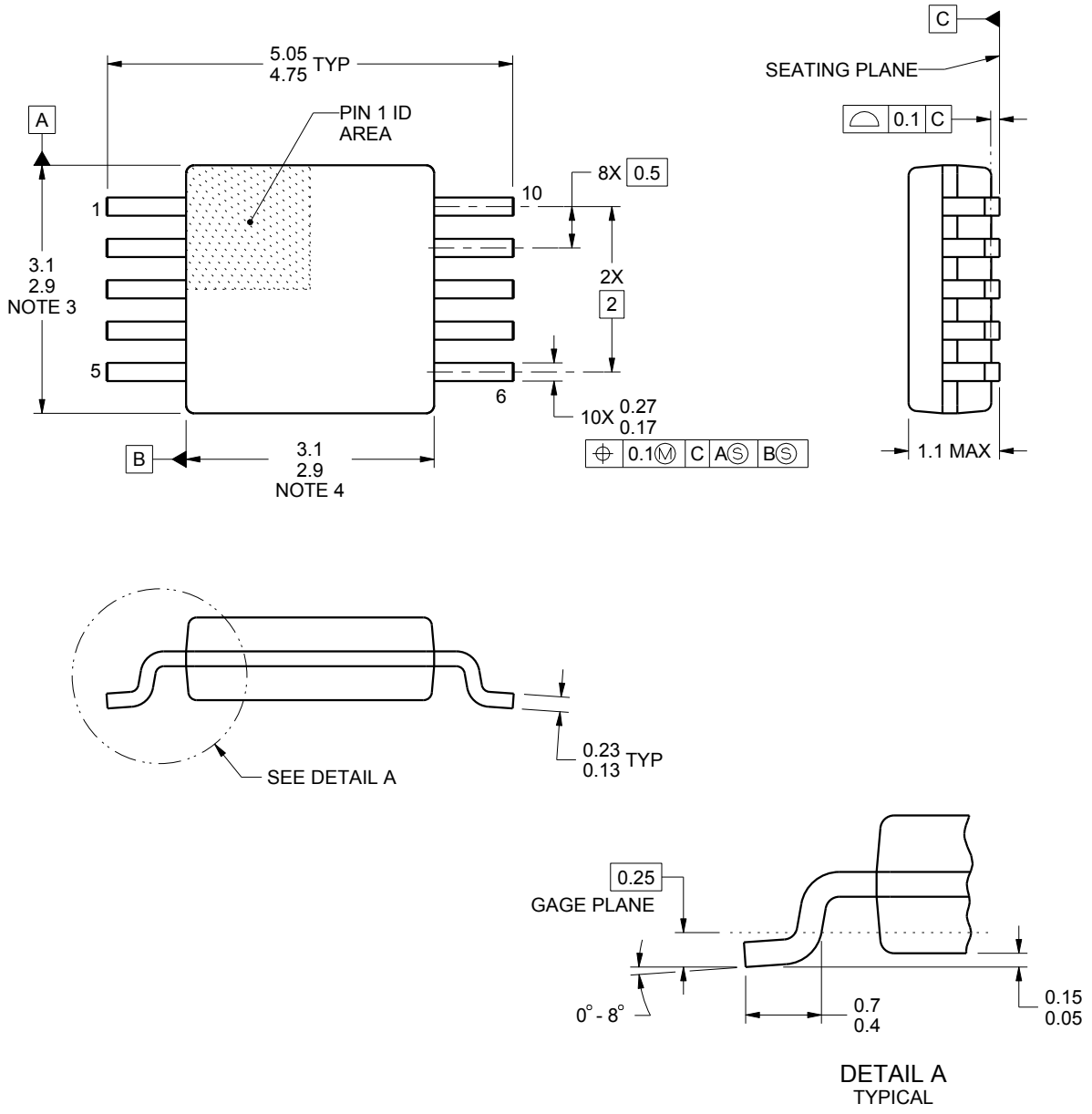
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DGS0010A

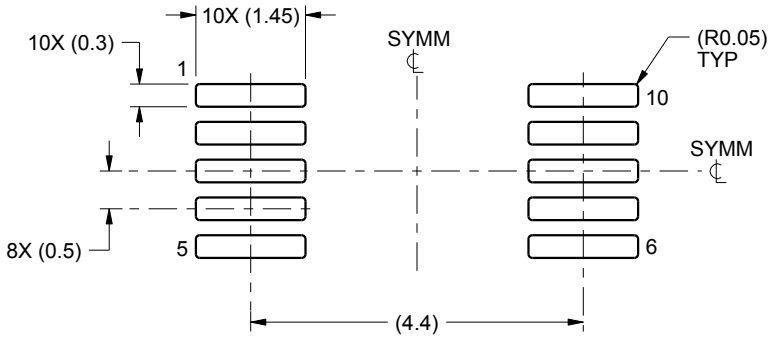
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

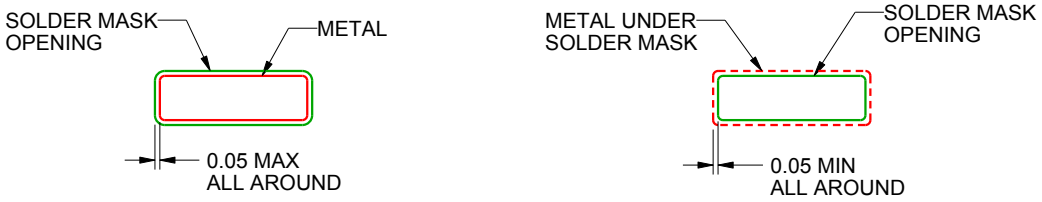


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

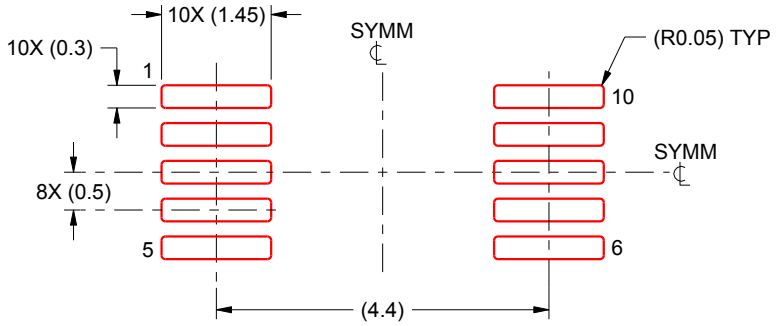


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

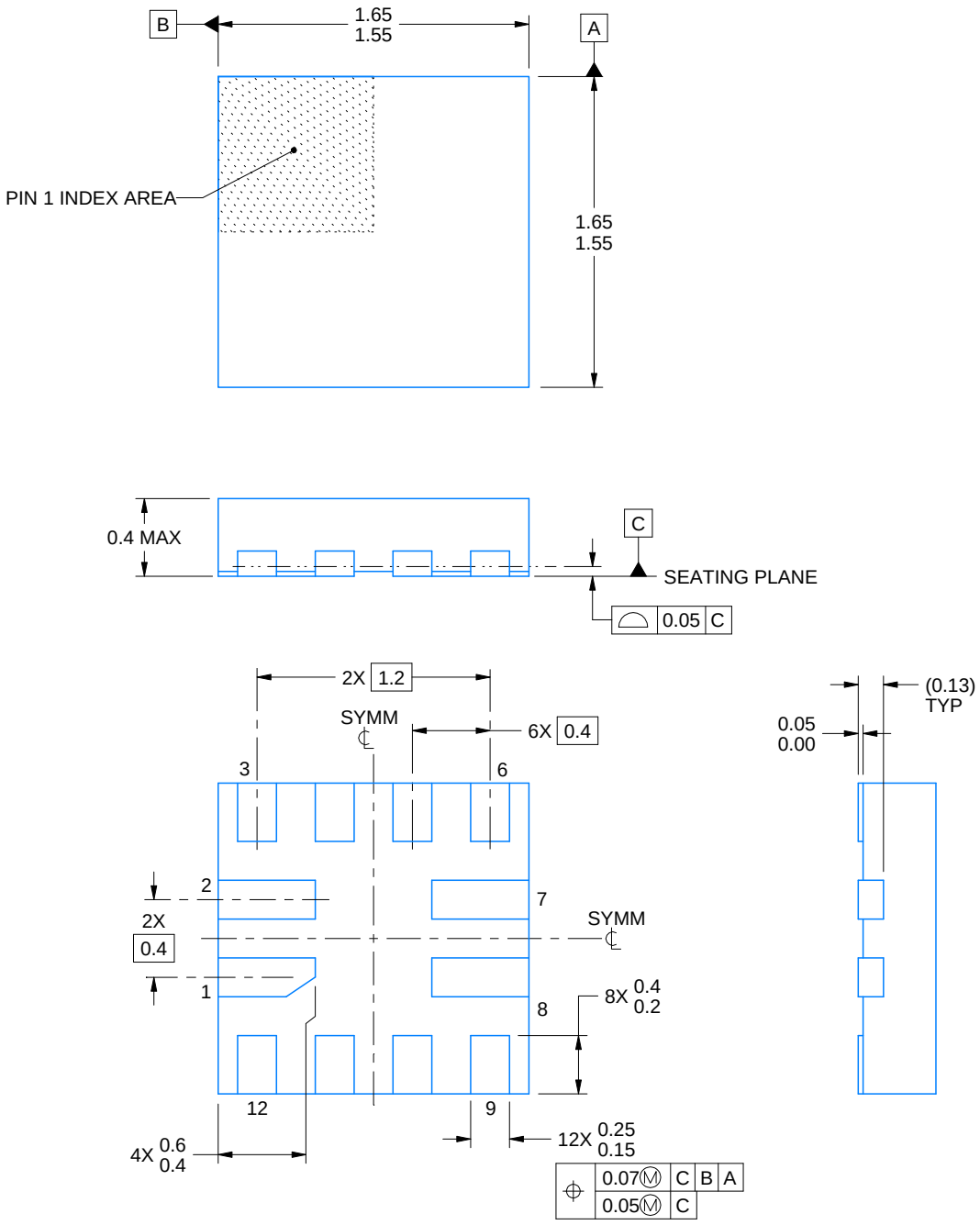
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

RWB0012A

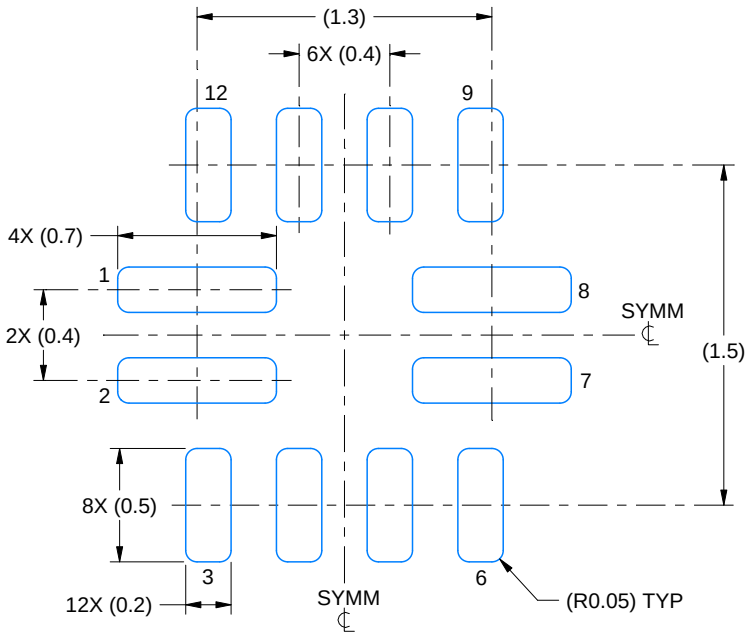
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

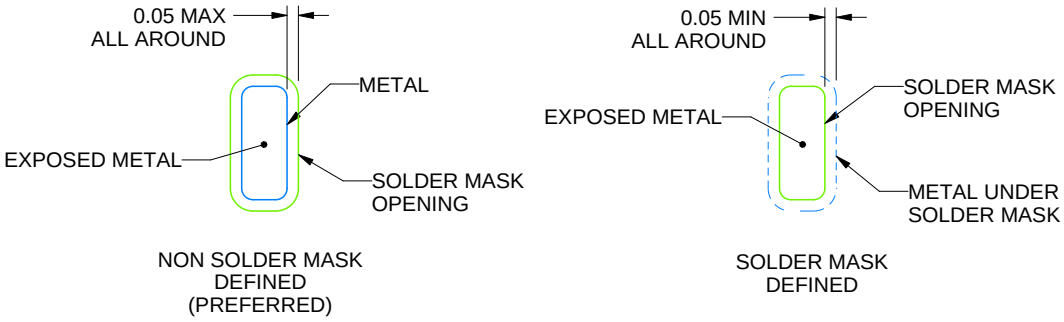


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:30X



SOLDER MASK DETAILS

4221631/B 07/2017

NOTES: (continued)

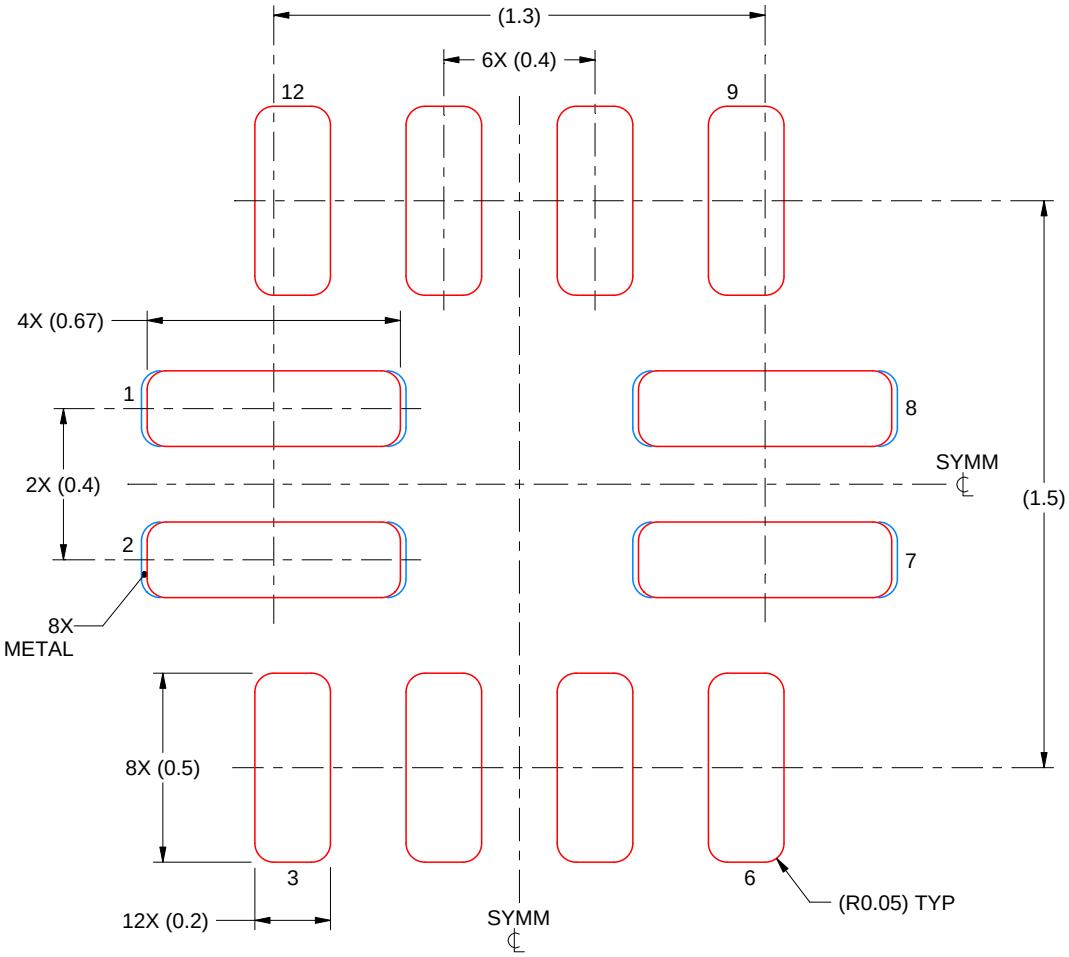
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RWB0012A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

PADS 1,2,7 & 8
96% PRINTED SOLDER COVERAGE BY AREA
SCALE:50X

4221631/B 07/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月